This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problems Mailbox.

THIS PAGE BLANK (USPTO)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: COFLER

Serial No. 10/083,629

Filing Date: February 26, 2002

For: METHOD OF HANDLING INSTRUCTIONS) WITHIN A PROCESSOR WITH DECOUPLED ARCHITECTURE, IN PARTICULAR A PROCESSOR FOR

DIGITAL SIGNAL PROCESSING, AND)

CORRESPONDING PROCESSOR

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

A CATABOOK OF A CARACTER

Director, U.S. Patent and Trademark Office Washington, D.C. 20231

The Augmention of the

Sir:

Transmitted herewith is a certified copy of the priority French Application No. 0102647. ্তি প্ৰতিষ্ঠিত কৰে স্থাপ্ত হৈছিল। তেওঁ তেওঁ সংগ্ৰাহিক কৰে স্থাপ্ত হৈছিল।

Respectfully submitted,

MICHAEL W. TAYLOR

Reg. No. 43,182

Allen, Dyer, Doppelt, Milbrath & Gilchrist, P.A.

255 S. Orange Avenue, Suite 1401 Post Office Box 3791

Orlando, Florida 32802

Telephone: 407/841-2330

Fax: 407/841-2343

. Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 4th day of March, 2002.

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 2 2 FEV. 2002

Pour le Directeur général de l'Institut national de la propriété industrielle Le Chef du Département des brevets

Martine PLANCHE

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION CERTIFICAT D'UTILITÉ



Code de la propriété intellectuelle - Livre VI

NATIONAL DE LA PROPRIETE
26 bis. rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

REQUÊTE EN DÉLIVRANCE 1/2

	(emplir lisiblem			DB 540 W /260899
T5 INPI				À QUI LA C BUREAU	ESSE DU DEN CORRESPONDA	ANCE DO	DIT ÊTRE ADR	IDATAIRE ESSÉE
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0102647				8, Aven 75008 P	ue Percie	r	•	
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 27 FEV.		2001		7300ë F				
Vos références po (facultatif)	ur ce dossier B 00/411	6 FR FZ	•					•
Confirmation d'un	dépôt par télécopie	■ N° attribué pa	r l'INPI	à la télécopi	e		· · ·	
2 NATURE DE LA DEMANDE		Cochez l'une des	s 4 cas	es suivante:	S			
Demande de brevet		Ճ						
Demande de certificat d'utilité								
Demande divisi	onnaire							
	Demande de brevet initiale	N°			Date	/	1	
		N°			Date	1	1	
	de de certificat d'utilité initiale d'une demande de	<u>"</u>				-		
	a une demande de Demande de breret initiale '	N°			Date	1	/ _	
DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisat Date / Pays ou organisat Date / Pays ou organisat	/ tion /		N°			
İ		Date /	/		N°			
					chez la case			
5 DEMANDEU	R	☐ S'il y a d'	autres	demandeur	s, cochez la	case et	utilisez l'imp	rimé «Suite»
Nom ou dénomination sociale		STMicroele	ctron:	lcs SA				
Prénoms								
Forme juridiqu	Je	Société Anonyme						
N° SIREN		• • • •						
Code APE-NAF		· · · · ·		,				
Adresse	Rue	7 avenue G						<u></u>
	Code postal et ville	. 	ENTIL:	LY				
Pays		FRANCE		 				
Nationalité N° de téléphone <i>(facultatif)</i>		Française			· _			
						<u>.</u>		
N° de télécopie (facultatif) Adresse électronique (facultatif)								

1er dépôt



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

	* *.		กลา และการณ์และที่สิดเล่น นิดาหา และสัย					
REMISE	DES PIÈCES	Réservé à l'INPI	To the Company State (1977)					
DATE	27 FE	V 2001	Committee of anglest subsection					
LIEU	75 INPI	PARIS						
1	IREGISTREMENT	11NPI 0102647	·					
	AL ATTRIBUÉ PAR		D3 540 W / 190600					
ı facult	tatif) 🥴 📑		B 00/4116 FR - 3- 3-3-3					
6 1	WANDATAIRI	E .	निवास का विकास करते हैं। किस्सी किया है किस्सी किस्सी किस्सी किस्सी किस्सी किस्सी किस्सी किस्सी किस्सी किस्सी जिल्लाहरू					
١	Nom	ाड़ पात्र हा जा.	Commence of the second of the					
F	Prénom .	in a gate upon from	એ પ્યાપ્ય જિલ્લામાં અને જિલ્લામાં કર્યા છે.					
C	Cabinet ou So	ociété	BUREAU D.A. CASALONGA-JOSSE					
			a abunta e contrata do mais seale das como en vivoros en estados en estados en estados en entre en entre en en					
			CONTRACTOR OF THE STATE OF THE					
	Division Adresse	Rue - 15 - 1 - 1 - 14	B. Avenue Percier					
	11 12 114.	Code postal et ville	75008 PARTS 25 5 37 5 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1					
		ne <i>(facultatify) 140-141</i>	Below the Effection of the operation of the control					
Û	Nº de télécop	ie (facultatif)	crotters on creductors were group and					
	Adresse électr	ronique (facultatif)	A CONTRACT OF THE PROPERTY OF					
7 1	NVENTEUR	(S)	2000					
L	∟es iņventeurs	s sont les demandeurs $\gamma_{i+rac{1}{2}}$	Oui Non Dans ce cas fournir une désignation d'inventeur(s) séparée					
8	RAPPORT DE	E RECHERCHE	Uniquement pour une demande de brevet (y compris division et transf rmation)					
		Établissement immédiat	□ 1.20 (1					
<u> </u>	· ·,	ou établissement différé	u⊟aremeastic est le considere l					
١.,	Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques					
			Oui Non State of the Life of the Control of the Con					
9	PÉDÜCTION	DU TAUX						
		NCES , Zara Esta	Requise: pour la première fois pour cette invention (joindre un avis de non-imposition)					
			Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention où indiquer sa référence):					
		*1	Contraction of the second of t					
		utilisé l'imprimé «Suite», iombre de pages jointes						
			A					
-	DU DU MANI		VISA DE LA PRÉFECTURE OU DE L'INPI					
l '	(ivom et qua	lité du signataire)	A. CASALONGA					
	ordina za		(bm 92-1044i)					
		Cons	seil en Propriété Industrielle					

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

CONTRACTOR A CRUSSIA

Procédé de gestion d'instructions au sein d'un processeur à architecture découplée, en particulier un processeur de traitement numérique du signal, et processeur correspondant. 超性 化拉克拉

L'invention concerne les processeurs, notamment processeurs de traitement numérique du signal (DSP:"Digital Signal Processors" en langue anglaise), et notamment la gestion d'instructions au sein d'un tel processeur, telles que les instructions de chargement dans un registre d'une donnée mémorisée, en particulier lorsqu'elles sont gardées.

Un processeur concerné par la présente invention comporte généralement plusieurs unités de traitement fonctionnant en parallèle. Classiquement, il est prévu en tant qu'unités de traitement, une unité arithmétique et logique, une unité d'adressage et une unité de gestion de branchement. Outre ces unités de traitement, le processeur comporte généralement une unité de contrôle ou unité centrale qui dialogue avec la mémoire- programme et délivre aux différentes unités de traitement, des instructions élémentaires encore communément appelées microinstructions.

Par ailleurs, le processeur concerné par la présente invention est à architecture découplée, permettant, après un temps de latence initiale, une vitesse d'exécution des instructions plus importante.

Le principe d'une architecture découplée est déjà connu de l'homme du métier, par exemple par la demande de brevet européen n° 0 949 565 ou par la demande de brevet européen n° 1 050 799. On rappelle maintenant brièvement le principe d'une architecture découplée, l'homme du métier pouvant se référer pour plus de détails, si nécessaire, aux demandes de brevets européens précitées.

Outre les unités de traitement précitées, il est prévu une interface mémoire qui contient notamment une mémoire du type FIFO (premier entré-premier sorti) destinée à recevoir et à stocker temporairement les données contenues dans une mémoire de données, par exemple formée de deux bancs de mémoire SRAM.

Dans une architecture découplée, une instruction de chargement dans un registre d'une donnée mémorisée est partitionnée en deux micro-

25

20

5

10

them details which is, in a commandation of a second color of which as a manual skill

2

instructions ou instructions. Une première instruction est transmise au module d'adressage (unité d'adressage) qui calcule l'adresse effective de la donnée dans la mémoire de données. L'autre instruction; qui est une 1977 à l'am instruction de chargement dans le registre concerné, est temporairement 5.35% stockée dans une mémoire FIFO associée à l'unité arithmétique et logique. antité de la donnée de la donné and beautiful mémorisée, élaborée par l'unité d'adressage, soit disponible. Lorsqu'il en est ainsi, la mise à jour du registre concerné est effectivement réalisée. 11 s. 1997 et l'original Au bout d'un temps de latence initiale; l'unité d'adressage a pris de l'avance sur l'unité arithmétique et logique. La machine est alors subject d'écouplée". En contrepartie, vu de l'unité arithmétique et logique, la latence "fictive" est, nulled the subjects to the contract of the subject of the contract of t salude de la la la consequencia de l'unité arithmétique et logique sont traitées temporellement dans l'ordre, car elles sont stockées dans une FIFO, il est tout à fait possible qu'une 7.379**15**: 0 200 BUTTO V première instruction de chargement d'une donnée mémorisée dans un premier registre soit à un instant donné stockée en tête de la FIFO, et par de l'unité de l'unité de service de traitement, et qu'une deuxième instruction impliquant des registres différents du premier registre;, soit stockée juste derrière cette première instruction de chargement. Et, tantaque cette première instruction de chargement, reste bloquée en tête de la FIFO; en attente de la donnée mémorisée-élaborée par l'unité d'adressage, la deuxième instruction, immédiatement derrière celle-ci, reste également bloquée alors qu'elle est ... 25 totalement indépendante de ladite instruction bloquée en tête de la FIFO. L'invention vise à apporter une solution à ce problème. n proposer un mécanisme de gestion des substructions totalement différent de celui existant jusqu'à maintenant, et qui puisse améliorer les performances générales d'un processeur à

4.2035;2000 (premiery entré-premiera sorti) y pour a stocker à séquentiellement les

. 3

sinstructions respectives qui sont destinées aux unités correspondantes. Par ailleurs, la délivrance au coeur du processeur, d'une instruction de suchargement dans un registre d'une donnée mémorisée, provoque la délivrance au moyen de mémoire d'une première unité de traitement, par sate 57 exemple une unité arithmétique et sologique, d'une instruction de en con et le chargement dans le registre et la délivrance au moyen de mémoire d'une deuxième unité destraitement, par exemple l'unité d'adressage, d'une instruction destinée à élaborer ladite donnée mémorisée. L'instruction de chargement n'est exécutée que lorsque ladite donnée mémorisée a été délivrée par ladite deuxième unité de traitement. ಾ ಅಂದರ್ Selon une caractéristique générale de l'invention, le moyen de mémoire de la première unité de traitement comporte une première mémoire de type FIFO, et une deuxième mémoire de type FIFO distincte de la première. On stocke chaque instruction de chargement dans la première mémoire et certaines au moins des autres instructions opératives in a destinées à la première unité dans la deuxième mémoire (en pratique, on sur le la l'verral ci-après que selon un mode de mise en oeuvre particulièrement ste in a cavantageux, il est préférable en présence d'instructions gardées, dont la signification sera détaillée ci-après, de stocker des instructions dites de 20 de transmission dans une troisième mémoire). On extrait de la deuxième mémoire une instruction opérative impliquant au moins un registre et ayant atteint la tête de cette deuxième mémoire, si aucune instruction de chargement temporellement plus ancienne et destinée à modifier la valeur du ou des registres associée à cette instruction opérative; n'est présente 25 dans la première mémoire. Et, en présence d'une telle instruction modificatrice de chargement temporellement plus ancienne, on extrait

. 15

. : .**

mémoire.

En d'autres termes, selon l'invention, une instruction de 30 chargement dans un registre d'une donnée mémorisée ne présente plus un il and all "caractère bloquant" vis-à-vis d'instructions opératives temporellement plus jeunes qui n'impliquent pas au moins un registre concerné par cette to the apprinstruction de chargement. On the advisors of an experience

า เรา กระบบกลา สารได้ มหาย เกิดเ

l'instruction modificatrice de chargement a été extraite de la première

35 van Procedé selon un mode de mise en oeuvre du procedé selon l'invention, à

constant de la chaque fois qu'on stocke dans la deuxième mémoire une instruction sans qu'il soit prévu de stocker simultanément dans la première mémoire une to en la desinstruction deschargement, on estocke dans la première mémoire une notes a l'instruction non-opérative (instruction NOP, selon une dénomination bien 18. 18. 5. 5 m² connue de l'homme du métier). Par ailleurs, à chaque fois qu'on extrait une ogus aires de instruction de la première mémoire, quelle qu'elle soit, on incrémente un mean premier compteur de lecture. A chaque fois qu'on stocke une instruction, quelle qu'elle soit, dans la première mémoire, on incrémente un premier entering a l'ecompteur d'écriture, part langue que la comme le forme q

militation de les estates. Et, à chaque fois qu'on stocke dans la première mémoire une attent estile instruction de chargement, on mémorise la valeur courante du premier et au line d'compteur d'écriture. Et, la détermination du caractère toujours présent de cette instruction de chargement dans la première mémoire prend en compte le résultat de la comparaison de ladite valeur courante mémorisée

de espara e compteur de lecture de lecture de le compteur de lecture de le compteur de le compte chargement qui a été écrite dans la première mémoire est toujours présente and la comparaison de la valeur 20.4 courante mémorisée du premier compteur d'écriture avec la valeur 1613 le 1613 l'accourante mémorisée du premier compteur de lecture: 13 l'alla

2 5 74 22

1901-000

du premier compteur d'écriture avec la valeur courante du premier

since Enspratique, de premier compteur de lecture et le premier compteur d'écriture ont avantageusement une taille binaire identique et e de la profondeur de la première mémoire. On associe alors, selon un mode de mise en oeuvre du procédé, à chaque premier compteur, un bit de dépassement changeant de valeur à chaque fois que le premier compteur the registration correspondent revient à sa valeur initiale. Et, à chaque fois qu'on stocke dans la première mémoire une instruction de chargement, on mémorise également la valeur courante du bit de dépassement du premier compteur d'écriture. Et, la détermination du caractère toujours présent de cette instruction de chargement dans la première mémoire prend également en en moi compte le résultat de la comparaison de la valeur courante du bit de dépassement du premier compteur de lecture avec ladite valeur mémorisée

ന്നു 35 നെട്ട് കാര്യ പര്വാ Ceci permet de tenir compte du fait que le pointeur de lecture et

5

le pointeur d'écriture de la première mémoire peuvent se situer dans deux fenêtres "circulaires" différentes.

En ce qui concerne les instructions opératives impliquant au moins un registre, selon un mode de mise en oeuvre du procédé selon au 5 mil'invention, à chaque fois qu'on stocke dans la deuxième mémoire une instruction opérative impliquant au moins un registre, on lui associe une première "étiquette" contenant la valeur courante du premier compteur d'écriture qui a été mémorisée lorsque la dernière (c'est à dire la plus jeune) instruction de chargement modifiant l'un au moins des registres mémoires Le critères d'extraction opérative a été stockée dans la première mémoires Le critères d'extraction de cette instruction opérative ayant atteint la tête de la deuxième mémoire prend alors en compte le résultat de la comparaison entre ladite valeur courante mémorisée associée à cette instruction opérative (contenue dans la première étiquette), et la valeur courante du premier compteur de lecture.

En d'autres termes, le principe de base est ici de comparer la sont de la comparer la sont de le comparer la valeur courante du prémier compteur de lecture avec la valeur courante du premier compteur d'écriture qui a été mémorisée lorsque la dernière instruction de chargement modifiant l'un au moins des registres impliqués dans la dite instruction opérative a été stockée dans la première mémoire. Et, le principe de base consiste à autoriser l'extraction de l'instruction opérative ayant atteint la tête de la mémoire lorsque la valeur courante du premier compteur de lecture est supérieure à la valeur courante mémorisée contenue dans la première étiquette qui a été attachée à cette instruction 25 propérative.

premier compteur d'écriture est dans une fenêtre circulaire donnée et que le premier compteur de lecture est toujours positionné dans la fenêtre 30 acirculaire précédente. Aussi, pour résoudre de tels cas particuliers, selon un mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on stocke de la valeur dans sa première étiquette la valeur courante du bit de dépassement du premier compteur d'écriture qui à été mémorisée lorsque

Cependant, là encore, il convient de prendre en compte

la dernière instruction de chargement modifiant l'un au moins des registres impliqués dans ladite instruction opérative a été stockée dans la première mémoire. Et, le critère d'extraction de cette instruction opérative ayant atteint la tête de la deuxième mémoire prend également en sime 500 à cômpte de résultat (de la comparaison entre cette valeur courante Le la valeur courante du bit de dépassement du premier compteur de lecture. 400 1646 13811 " Parmi les instructions délivrées aux unités de traitement, the first figurent destinstructions dites "gardées" permettant une écriture plus 10 performante du code programme. sie infine le de comme L'utilisation d'instructions gardées dans un processeur est déjà A Connue de l'homme du métier, par exemple par la demande de brevet européen n° 1 050 803. On rappelle ici brièvement le principe des and order en instructions gardées, l'homme du métier pouvant se référer pour plus de 15 détails, si nécessaire, à la demande de brevet européen précitée. indication dite "de garde", en pratique un bit de garde pouvant prendre la valeur 0 ou 1. L'instruction gardée sera alors exécutée ou non en fonction de la valeur du bit de garde, c'est-à-dire de l'indication de garde. Toutes les valeurs binaires des indications de garde, pouvant être au nombre de 20 5 3 6 75% seize par exemple, sont contenues dans un registre dit "registre d'indications de garde". Ce registre centralisé est incorporé au sein d'une to the Physical unité de traitement, par exemple l'unité arithmétique et logique, et contient à chaque instant les valeurs courantes des indications ou bits de 25 garde. Les valeurs de ces indications de garde peuvent être modifiées par des instructions spécifiques dites "instructions modificatrices". Pour lire la valeur d'une indication de garde associée à une instruction gardée, l'unité de traitement qui reçoit cette instruction gardée et qui n'a pas un accès direct au registre des indications de garde (par 30: Dexemple l'unité de branchement), requiert un transfert de la valeur de war of the l'indication de garde depuis l'unité de traitement qui détient le registre des indications de garde. En d'autres termes, la délivrance d'une instruction gardée à une unité de traitement qui ne détient pas le registre des indications de garde, provoque la délivrance à l'unité de traitement qui est

35 35 la gardienne du registre des indications de garde, d'une instruction dite

3 7

"de transmission" qui est udestinée à faire transmettre à l'unité de traitement qui reçoit l'instruction gardée, la valeur de l'indication de garde associée à cette instruction gardée que l'indication de

Et, l'instruction gardée est maintenue dans l'étage de tête (étage de sortie) de la mémoire d'instructions du type FIFO, associée à cette unité de traitement, jusqu'à ce que cette dernière reçoive de l'unité de traitement qui détient le registre des indications de garde, ladite valeur de l'indication de garde associée à cette instruction gardée. Ce n'est que lorsque l'unité de traitement qui détient le registre des indications de garde, aura exécuté l'instruction de transmission, que la valeur correspondante de l'indication de garde sera transmise à l'unité de traitement requérante, de façon que celle-ci puisse ou non exécuter son instruction gardée: silverges de 100 (100)

transmission est bloquée dans la mémoire d'instructions de l'unité de traitement qui détient le registre des indications de garde, l'unité de traitement requérante va être en conséquence également bloquée jusqu'à ce qu'elle reçoive la valeur de l'indication de garde correspondante.

20. comproblème. Mon el may abandone l'an est de man la commune de la co

on la d'un processeur utilisant un registre centralisé des indications de garde.

Par ailleurs, les instructions de chargement peuvent être ellesmêmes des instructions gardées. Or, compte tenu de la présence de la première mémoire, qui est destinée à stocker les instructions de chargement, il est nécessaire de s'assurer que la valeur d'une indication de garde délivrée par le registre des indications de garde et destinée à une instruction de chargement, est bien la bonne valeur attendue compte tenu de l'exécution dans l'ordre de toutes les instructions stockées dans les

L'invention apporte également une solution à ce problème.

L'approprié de l'apprécisément, selon un mode de mise de oeuvre de de 35 me l'invention, le moyen desmémoire de la première unité comporte une

to the confidence of the control of

deuxième mémoire de type FIFO, i distincte de la première et de la deuxième mémoire, ainsi qu'une quatrième mémoire de type FIFO distincte des trois premières à La première unité contient par ailleurs un mondant prépagations des garde.

La délivrance d'une instruction gardée au moyen de mémoire d'une autre unité de traitement différente de la première, par exemple de la première d'une autre unité de traitement différente de la première, par exemple de la première d'une instruction de chargement gardée à la première unité, provoque la délivrance à la première unité de traitement et son stockage dans la troisième mémoire, d'une instruction de transmission destinée à faire transmettre à ladite autre unité (par exemple l'unité de branchement) ou à ladite quatrième mémoire, respectivement, la valeur de l'indication de garde associée à ladite instruction gardée ou à ladite instruction de chargement gardée, respectivement.

On extrait alors de la troisième mémoire, une instruction de sancial sur transmission ayant atteint la tête de cette troisième mémoire, si aucune instruction modificatrice temporellement plus ancienne destinée à modifier la valeur de l'indication de garde associée à cette instruction de transmission; n'est présente dans la deuxième mémoire. Et, en présence d'une telle instruction modificatrice temporellement plus ancienne dans de 20 de la deuxième mémoire, son extrait l'instruction de transmission de la troisième mémoire seulement après que l'instruction modificatrice a été extraite de la deuxième mémoire:

transmission peut s'court-circuiter toutes les autres instruction si aucune instruction temporellement plus ancienne stockée dans la deuxième mémoire n'est de nature à modifier la valeur de l'indication de garde associée à cette instruction de transmission.

destinée à recevoir les valeurs des indications de garde des instructions de chargement gardées, est lue en parallèle avec la première mémoire destinée à recevoir les instructions de chargement, évitant ainsi une perte de synchronisation dans l'exécution des instructions.

Selon un mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on extrait une instruction de la deuxième mémoire, on the la deuxième memoire, on company 35, 10, incrémente un deuxième compteur de lecture. De même, à chaque fois

5 9

Par ailleurs, à chaque fois qu'on stocke dans la deuxième mémoire une instruction modifiant la valeur d'une indication de garde, on mémorise la valeur courante du deuxième compteur d'écriture. Et, la détermination du caractère atoujours présent à d'une instruction modificatrice dans la deuxième mémoire prend en compte le résultat de la comparaison de la dite valeur courante mémorisée du deuxième compteur d'écriture avec la valeur courante du deuxième compteur de lecture.

10 En d'autres rétermes, on détermine si une instruction modificatrice qui a été écrite dans la deuxième mémoire est toujours présente dans cette deuxième mémoire, en utilisant la comparaison de la valeur courante mémorisée du deuxième compteur d'écriture avec la valeur courante du deuxième compteur de lecture.

and 15. A market En pratique, de deuxième compteur de lecture et le deuxième & se compteur d'écriture ont avantageusement une taille binaire identique alle professione de la profondeur de la deuxième mémoire. On associe alors, selon un mode de mise en ocuvre du procédé, à chaque deuxième compteur, un bit de dépassement changeant de valeur à chaque fois que le deuxième 20 compteur correspondant revient à sa valeur initiale. Et, à chaque fois and qu'on stocke dans la deuxième mémoire une instruction modifiantela valeur d'une indication de garde, on mémorise également la valeur courante du bit de dépassement du deuxième compteur d'écriture. Et, afin de tenir compte du fait que le pointeur de lecture et le pointeur d'écriture de la deuxième mémoire peuvent se situer dans deux fenêtres "circulaires" différentes, la détermination du caractère toujours présent de l'instruction modificatrice dans la deuxième mémoire prend également en compte le résultat de la comparaison de la valeur courante du bit de dépassement du deuxième compteur de lecture avec ladite valeur mémorisée du bit de dépassement du deuxième compteur d'écriture.

mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on estocke une instruction de transmission dans la troisième mémoire et que su manufacillon ne stocke pas simultanément une autre instruction dans la deuxième mémoire; on stocke simultanément dans els deuxième mémoire; on stocke simultanément dans els deuxième mémoire une



instruction non-opérative (instruction NOP) de façon à ne pas désynchroniser les mécanismes. Par ailleurs, à chaque stockage d'une comportant la valeur courante du deuxième compteur d'écriture qui à été mémorisée lorsque la dernière instruction modifiant l'indication de garde associée à ladite instruction de Transmission attété stockée dans la deuxième mémoire. Le critère d'extraction de cette instruction de transmission ayant atteint la tête de la troisième mémoire, prend alors en compte le résultat de la comparaison 10 entre ladite valeur courante mémorisée associée à cette instruction de transmission (contenue dans la deuxième étiquette), et la valeur courante du deuxième compteur de lecture. Chesait. Chesait de la compteur de lecture. Windshift of Bushin En d'autres termes, le principe de base est ici de comparer la valeur courante du deuxième compteur de lecture avec la valeur courante 2015 du deuxième compteur d'écriture qui a été mémorisée lorsque la dernière instruction modifiant l'indication de garde associée à cette instruction de stransmission à été stockée dans la deuxième mémoire. Et, le principe de 1977 10 010 base consiste à autoriser l'extraction de l'instruction de transmission ayant atteint la tête de la mémoire lorsque la valeur courante du deuxième compteur de lecture est supérieure à la valeur courante mémorisée contenue dans elétiquette qui la tété attachée à cette instruction de πό ε τη I transmission. And to excite the coperto and are a result Cependant, là l'encore, il convient de prendre en compte notamment le cas où une instruction modificatrice est écrite alors que le 25 deuxième compteur d'écriture est dans une fenêtre circulaire donnée et que le deuxième compteur de lecture est toujours positionné dans la 40 Post 1 1 3 1 1 1 But I have be Aussi, pour résoudre de tels cas particuliers, selon un mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on stocke une instruction de transmission dans la troisième mémoire, on lui associe également dans sa deuxième étiquette, la valeur courante du bit de 1 31 175 30 dépassement du deuxième compteur d'écriture qui a été mémorisée La lorsque la dernière instruction modifiant l'indication de garde associée à saladite instruction de transmission a été stockée dans la deuxième 21.39.3502 comémoires Et, le critères d'extraction prend alors également en compte le

73

résultat de la comparaison entre cette valeur courante mémorisée du bit de dépassement du deuxième compteur d'écriture, contenue dans la valeur courante du bit de dépassement du deuxième compteur de lecture.

L'invention a également pour objet un processeur à architecture controlle découplée, comprenant un coeur contenant plusieurs unités de traitement, respectivement associées à des moyens de mémoire du type FIFO pour state de la contraction de la aux unités correspondantes. Le coeur de processeur comporte par ailleurs 10 une unité centrale apte en réponse à une instruction de chargement dans un registre d'une donnée mémorisée, à délivrer au moyen de mémoire d'une première unité de traiement, une instruction de chargement dans ledit registre, et à délivrer au moyen de mémoire d'une deuxième unité de traitement une instruction destinée à élaborer ladite donnée mémorisée. L'instruction de chargement n'est, exécutée que lorsque ladite donnée Julius de mémorisée à été délivrée par ladite deuxième unité de traitement. es principale de l'invention, le moyen de mémoire de la première unité comporte une première mémoire de type

20 m strate of Le processeur comporte par ailleurs : A la properte des emoyens d'aiguillage ("dispatcher" en langue anglaise) aptes à stocker chaque instruction de chargement dans la première mémoire et certaines au moins des autres instructions opératives destinées à la première unité de traitement dans la deuxième mémoire, et

.2.74

EIFO, et une deuxième mémoire de type FIFO distincte de la première.

111 1 1 11

25 25 designation of the design emiers movens de commande aptes apreción A professional de la deuxième mémoire une instruction opérative impliquant au moins un registre et ayant atteint la tête de cette deuxième mémoire si aucune instruction de chargement temporellement plus ancienne et destinée à modifier la valeur du ou des registres associés à 20 cette instruction opérative, n'est présente dans la première mémoire, et en présence d'une r telle sinstruction modificatrice de Also chargement temporellement plus ancienne, à extraire l'instruction opérative de la deuxième mémoire seulement après que l'instruction modificatrice de chargement a été extraite de la première mémoire.

11 of 35 grants of the Selon un mode de réalisation de l'inventionales premiers moyens

The latest the descommande comportent to the street of the composition
- un ensemble de premiers registres élémentaires respectivement associés, à all'ensemble des registres capables d'être chargés par des

planel de la lancomprenier bloc de commande apte, à chaque fois qu'une men 10 des instruction de chargement dans un registre est stockée dans la première mémoire, à stocker la valeur courante du premier compteur d'écriture dans la première de la lancomprenier de la valeur courante du premier associé à ce registre, et de la lancomprenier de la commande apte à déterminer le caractère de la valeur de la cette instruction de chargement dans la première mémoire, ces deuxième bloc des commandes comportant des premiers moyens de comparaison aptes à à comparer de l'eontenu dudit champ principal du premier registre élémentaire, avec la valeur courante du la la la première de lecture misseur abs la premier de la valeur courante du la la la premier compteur de lecture misseur abs la premier de la valeur courante du

d'écriture et le premier compteur de lecture ont une taille binaire identique égale à la profondeur de la première mémoire. A chaque premier compteur, est associé un bit de dépassement changeant de valeur à chaque fois que le premier compteur correspondant revient à sa valeur initiale. Chaque premier registre élémentaire comporte en outre un champ auxiliaire à un bit. Le premier bloc de commande est alors apte, à chaque fois qu'une instruction de chargement dans un registre est stockée dans la première mémoire, à stocker également la valeur courante du bit de dépassement du premier compteur d'écriture dans le champ auxiliaire du premier registre élémentaire correspondant. Le deuxième bloc de commande comporte, alors, des premiers moyens de comparaison auxiliaires aptes à comparer la valeur courante du bit de dépassement du premier compteur de lecture avec le contenu du champ auxiliaire.

control of the second Ces premiers moyens de comparaison auxiliaires comportent par more exemple une portedogique NON pOU EXCLUSIF (XNOR en langue quin 35 of anglaise).

13

Selon un mode de réalisation de l'invention, chaque étage de la deuxième mémoire comporte un champ utile pour le stockage d'une instruction opérative, et un premier champ supplémentaire. (Ce premier champ supplémentaire va permettre de stocker une partie de la première étiquette attachée à el'instructions opérative, typiquement la valeur race de l'examémorisée du premier compteur d'écriture).

with the trace to be Les premiers moyens de commande comportent alors:

- un troisième bloc de commande apte, à chaque fois qu'une instruction opérative impliquant au moins un registre est stockée dans le champ utile de l'étage d'entrée de la deuxième mémoire, à sélectionner parmi tous les premiers registres élémentaires associés à tous les registres impliqués dans ladite instruction opérative, celui correspondant à la dernière (la plus jeune) instruction de chargement modifiant l'un au moins de ces registres, et à transférer le contenu du champ principal du premier registre élémentaire sélectionné, dans le premier champ supplémentaire de l'étage d'entrée de la deuxième mémoire, et chante de la la contraction de la con

19. 19 200 to move a unequatrième obloc de commande apte à élaborer le critère d'extraction de cette instruction opérative ayant atteint l'étage de tête de la deuxième mémoire, ce quatrième bloc de commande comportant des 20 premiers moyens de comparaison aptes à comparer le contenu du premier champ supplémentaire de l'étage de tête avec la valeur courante du Leading & a premier compteur deflecture? The following and the Popularity

376.36 .

2.00

Selon un mode de réalisation de l'invention, chaque étage de la deuxième mémoire comporte en outre un deuxième supplémentaire. Ce deuxième champ supplémentaire, par exemple un bit supplémentaire, va permettre de stocker une autre partie de la première étiquette attachée à l'instruction opérative, typiquement la valeur mémorisée du bit de dépassement du premier compteur d'écriture. Le troisième bloc de commande est alors apte, à chaque fois qu'une instruction opérative est stockée dans le champ utile de l'étage d'entrée de la deuxième mémoire, à transférer le contenu du champ auxiliaire du premier registre élémentaire sélectionné, dans le deuxième champ supplémentaire de l'étage d'entrée de la deuxième mémoire. Le quatrième bloc de commande comporte alors des premiers moyens de comparaison supplémentaires aptes à comparer le contenu du deuxième champ

compteur/de lecture: (1) and (1) and (2) and (2) and (2) are also (1) and (2) are also (1) are a

Là encore, ces moyens de comparaison supplémentaires peuvent comporter une porte logique NON OU EXCLUSIF (XNOR).

Selon functimode de créalisation de l'invention, plus particulièrement adapté à la gestion des instructions gardées, le moyen de mémoire de la première unité comporte une troisième mémoire de type FIFO, distincte de la première et de la deuxième mémoires, et une de la comporte de la deuxième mémoires, et une de la comporte de la deuxième mémoires.

रोजी 10 ंक अपन्य La première bunité (de atraitement) contient है un registre d'indications de garde. अपनिष्ठ के कार्यक्रमान कार्यक्रमान करियोग

and the second of L'unité centrale est alors apternale les

autre unité de traitement différente de la première, ou bien une instruction de la première, ou bien une instruction de la première de traitement, et

de l'indication de garde associée à ladite instruction gardée ou à ladite instruction de chargement gardée, respectivement.

And the transmission dans la troisième mémoire. And and antes à stocker chaque

commande aptes: 1000 for the processeur comporterent outre désideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre désideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes: 1000 for the processeur comporterent outre desideuxièmes moyens de commande aptes de commande a

30 de la compresence d'une de telle d'instruction modificatrice de la temporellement plus ancienne, à extraire l'instruction de transmission de la troisième mémoire seulement après que l'instruction modificatrice a été extraire de la deuxième mémoire.



1.7

was a sur la sur la compteur de lecture incrémenté à chaque fois
qu'une instruction est extraite de la deuxième mémoire, and
en la
qu'une instruction est stockée dans la deuxième mémoire,
1.11 - 5. Marchine - un prensemble de la deuxièmes, registres élémentaires
disprove respectivement associés, à l'ensemble des indications de garde,
1949 - 1 10 10 10 to a un cinquième bloc de commande apte, à chaque fois qu'une
and le construction modifiant la valeur d'une indication de garde est stockée dans
la deuxième mémoire, à stocker la valeur courante du deuxième compteur
10. d'écriture dans un champ principal du deuxième registre élémentaire
associé à cette indication de garde, propressor de la company de la comp
- un sixième bloc de commande apte à déterminer le caractère
toujours présent de cette instruction modificatrice dans la deuxième
mémoire, ce sixième blocade commande comportant des deuxièmes
15 moyens de comparaison aptes à comparer le contenu dudit champ
principal du deuxième registre élémentaire, avec la valeur courante du
A parameter deuxième compteuride de cture et modrometant bass par en den en e
runt le l'invention, ale deuxième
compteur d'écriture et le deuxième compteur de lecture ont une taille
20 binaire identique égale à la profondeur de la deuxième mémoire. A chaque
deuxième compteur, est associé un bit de dépassement changeant de
valeur à chaque fois que le deuxième compteur correspondant revient à sa
yaleur initiale. Chaque deuxième registre élémentaire comporte en outre
un champ auxiliaire à un bit.
25 months Leccinquième blocide commande est alors apte, à chaque fois
qu'une instruction modifiant la valeur d'une indication de garde est
stockée dans la deuxième mémoire, à stocker également la valeur courante
du bit de dépassement du deuxième compteur d'écriture dans le champ
auxiliaire du deuxième registre élémentaire correspondant.
Le sixième bloc de commande comporte alors des deuxièmes
moyens de comparaison auxiliaires aptes à comparer la valeur courante du
bit de dépassement du deuxième compteur de lecture avec le contenu du
champ auxiliaire. Ces deuxièmes moyens de comparaison auxiliaires
comportent par exemple une porte logique NON OU EXCLUSIF (XNOR
35 en langue anglaise). : in was also also also also also also also al



Selon un mode de réalisation de l'invention, chaque étage de la troisième mémoire comporte un champ utile pour le stockage d'une instruction de transmission, et un premier champ supplémentaire. (Ce premier champ supplémentaire va permettre de stocker une partie de la deuxième étiquette attachée à l'instruction de transmission, typiquement la valeur mémorisée du deuxième compteur d'écriture).

10 The Association Les deuxièmes moyens de commande comportent alors :

- un septième bloc de commande apte, à chaque fois qu'une sinstruction de transmission est stockée dans le champ utile de l'étage d'entrée de la troisième mémoire, la transférer le contenu du champ principal du deuxième registre élémentaire associé à l'indication de garde correspondante, dans le premier champ supplémentaire de l'étage d'entrée de l'autroisième mémoire, et au l'accompany de la troisième mémoire, et au l'accompany de l'accompany de la troisième mémoire, et au l'accompany de la troisième de l'accompany de la troisième mémoire, et au l'accompany de la troisième mémoire, et au l'accompany de la troisième de de

- un huitième bloc de commande apte à élaborer le critère de 15 le d'extraction de cette instruction de transmission ayant atteint l'étage de le le le la troisième mémoire, ce huitième bloc de commande comportant des deuxièmes moyens de comparaison aptès à comparer le contenu du premier champ-supplémentaire de l'étage de tête avec la valeur courante de le comparaison de le la valeur courante de le comparaison de le comparaison de la valeur courante d

Selon un mode de réalisation de l'invention, chaque étage de la stroisième e mémoire de comporte de la coutre de un deuxième supplémentaire. Ce deuxième champ supplémentaire, par exemple un bit supplémentaire, va permettre de stocker une autre partie de la deuxième étiquette attachée à l'instruction de transmission, typiquement la valeur 25 mémorisée du bit de dépassement du deuxième compteur d'écriture. Le STATE STATE septième bloc de commande est alors apte, à chaque fois qu'une instruction de transmission est stockée dans le champ utile de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ auxiliaire du deuxième registre élémentaire associé à l'indication de garde 30 correspondante, dans le deuxième champ supplémentaire de l'étage d'entrée de la troisième mémoire. Le huitième bloc de commande comporte alors des deuxièmes moyens de comparaison supplémentaires aptes à comparer le contenu du deuxième champ supplémentaire avec la ne bases à valeur courante du bit de dépassement du deuxième compteur de lecture. on 535% the same a Là a éncores oces, deuxièmes of moyens added comparaison

. 17

supplémentaires peuvent: comporter une porte logique NON OU The EXCLUSIF(XNOR). It is also between the first to be of the out tention de la D'autres e avantages et caractéristiques de l'invention e la description détaillée de modes de mise en 10 5 de coeuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels to the figure and reading was an electrical angular as et la la la figure et a l'architecture générale garage of d'un processeur selon l'invention; le le sala par par e in the transfer in the late figures 2 to illustre plus to encodetail to mais schématiquement le coeur du processeur de la figure 1; Thomas - la figure and fillustre in plus item indétail mais en la schématiquement en une carchitecture permettant coune et gestion des instructions de chargement dans un registre de données mémorisées, selon Show the l'invention; out to assume the body comprise that he is 15 15 les figures 4 à 7 illustrent schématiquement des organigrammes la la la relatifs à des modes de mise en oeuvre du procédé de gestion d'instructions un la la de chargement de données mémorisées pselonal'invention; en was done to the comment last figure it 8 still ustre applies en madétail remais schématiquement un mode de réalisation permettant en outre une gestion 20 most des instructions gardées, selon l'invention; en la la servició de la les rafigures o 957 à 04130 illustrent a schématiquement des organigrammes relatifs à des modes de mise en oeuvre de la gestion d'instructions gardées, selon l'invention, et aminute de la communication de la commun et en la la figure 14 dillustre toujours schématiquement et plus 25 es spécifiquement les quatre mémoires FIFO présentes dans l'unité de traitement arithmétique et logique, ainsi que leur interdépendance temporelle, en association avec le registre des indications de garde. Sur la figure 1, la référence PROC désigne un processeur, par exemple un processeur de traitement numérique du signal. et margine contenant les instructions de programme. Cette mémoire-programme est adressée par un contrôleur de mémoire PMC qui coopère avec le coeur CR ារួមមន្ត្រី ការ៉ាស្រីកាត្តស្នាក្រសួនជាតិ អស់ du processeur. Berger CR Edu processeur dialogue également avec un a 35 m mi contrôleur de mémoire DMC qui contrôle l'accès à une mémoire de

données DMM, par exemple deux bancs de mémoire SRAM.

Sur la figure 2, on voit que le coeur CR du processeur comporte

général, elle gère toutes les activités de commande. Plus particulièrement, elle délivre au contrôleur de mémoire PMC des adresses programme, et répartit les instructions correspondantes vers les différentes unités de traitement. Plus précisément, l'unité centrale CU comporte une interface PFAL avec le contrôleur de mémoire PMC, qui effectue notamment un formatage des instructions en instructions prêtes à être décodées. Les instructions sont décodées ensuite dans un décodeur DCD qui transforme pourront être traitées par les différentes unités de traitement. Dans la suite du texte, à des fins de simplification, on désigne sous le vocable "d'instruction" une micro-instruction particular de vocable de vocable "d'instruction" une micro-instruction particular de vocable de vocabl

Enfin, un moyen d'aiguillage DISP ("Dispatcher" en langue anglaise) envoie les instructions générées par le décodeur aux unités de traitement auxquelles sont destinées ces instructions.

Les unités de traitement du coeur de processeur comportent ici 25 de une unité arithmétique et logique DU qui exécute la plupart des opérations arithmétiques.

.

souhaite stocker (charger) des données mémorisées: Cesoregistres Rx dans lesquels on peuvent être au nombre de 16; par exemple:

Il est par ailleurs prévu une unité d'adressage AU qui effectue les calculs d'adresses effectives nécessaires pour adresser les opérandes dans la mémoire. Cette unité AU contient tous les registres de pointage Px nécessaires à cette tâche.

unité de branchement d'adresse et les transfère de branchement d'adresse et les transfère

图 19

à l'unité centrale CUmpari apply dimagnes par la la digres mole L'unité de traitement DU comporte un moyen de mémoire du type A CONTRACTOR OFF DOCUMENT FIFO composé, comme on le verra plus en détail ci-après, d'une première mémoire RLDQ destinée à stocker des instructions de chargement et une 5 deuxième mémoire DIDQ destinée à stocker toutes les autres instructions cette unité DU, en particulier des instructions opératives Property DUOPx impliquant autmoins unfregistre Rx. The best bodies Andrews and the control of the contr mémoire DMI qui contient notamment une autre mémoire du type FIFO, 10 Ma LDQ, destinée à recevoir et à stocker temporairement les données contenues dans les bancs de mémoire SRAM. A 697, 10 of Par ailleurs, au même titre que l'unité DU comporte un moyen de e a mémoire du type FIFQ, chaque autre unité de traitement, à savoir l'unité AU et l'unité GU, contient également un moyen de mémoire du type FIFO, 15 référencé AIDQ, et destiné à stocker les instructions destinées à ces unités pur tura un la de traitement no los mu apado el barro subbo el bitudo a una sermita and an anisonomOn se réfère maintenant plus particulièrement à la figure 3, pour a est si la Mécrire de mécanisme selon l'inventionade gestion des instructions de A titre d'exemple, une instruction de chargement dans un and the first term independent LDs Rxs. [Py] and the smooth spirit in the first that it was a second Cette notation représente une instruction signifiant que l'on doit charger (stocker) dans le registre Rx la donnée mémorisée dans la mémoire DMM à l'adresse fournie par le contenu du registre de pointage Py. to the harm than L'unité centrale qui reçoit une telle instruction la scinde en une s instruction d'élaboration de la donnée mémorisée, destinée à l'unité d'adressage AU, et en une instruction de chargement destinée à l'unité DU. L'instruction d'élaboration va permettre à l'unité AU, via le and la line contrôleur de mémoire DMC, de lire la donnée mémorisée à l'adresse fournie par le pointeur Pyjet de transférer cette donnée mémorisée à la

25 35 34 permettre à l'unité DU de charger (stocker) dans le registre Rx le contenu

mémoire LDQ.

aribert Mill & Rush Bash



The first of de la mémoire LDQ, struttur erbbat, execution, and a

Une instruction opérative DUOPx impliquant un registre Rx est consiste par exemple une instruction du type Rx=Rx+1; consistant dans ce cas à the distribution of the unité le contenu du registre Rx: $\frac{1}{2} = \frac{1}{2} = \frac{$

Dans la suite du texte, la référence DUOpx désigne une instruction opérative, et x désigne le numéro du registre Rx impliqué dans 19/10 1994 cetter instruction opérative. (A. 19) only right to be an expensed Comme indiqué ci-avant, le moyen de mémoire associé à l'unité DU comporte une première mémoire du type FIFO, référencée RLDQ, et une deuxième mémoire du type FIFO, référencée DIDQ.: La deuxième mémoire DIDQ est destinée à stocker toutes les instructions opératives INST destinées à l'unité DU, et notamment des instructions DUOpx, Table : Comporte plusieurs étages (ici quatre), référencés LETGI-LETG4. Chaque étage LETGi comporte un and the less champ utile LCHUippourde stockage d'une instruction INST. L'écriture et la lecture dans la deuxième mémoire DIDQ sont gérées par un pointeur 20 d'écriture PE2 et un pointeur de lecture PL2. Une instruction INST qui avairait été estockée dans el'étage d'LETG1, va alors se propager séquentiellement depuis l'étage d'entrée LETG1 de la mémoire jusqu'à l'étage de sortie LETG4, ou étage de tête, de la mémoire DIDQ. Bien entendu si à un instant donné, la FIFO est partiellement remplie ou vide, 1/25/30 i une instruction pourra être stockée directement au premier étage disponible, par exemple LETG2, ou LETG3 ou bien LETG4, comme cela est bien connu de l'homme du métier. Ainsi au sens de la présente Same Be invention l'étage d'entrée n'est donc pas nécéssairement l'étage LETG1. 1 M And The 18 1 M Chaque instruction de chargement/LDRx/impliquant un registre 1930 Rx est stockée dans la première mémoire RLDQ. L'écriture et la lecture dans cette première mémoire RLDQ sont gérées également de façon classique par un pointeur d'écriture PE1 et un pointeur de lecture PL1. Les deux mémoires RLDQ et DIDQ ont, dans l'exemple décrit ici, la même noter les profondeur (taille) égale à quatre. Il convient également de noter que les 2003521 > 20 pointeurs PE1 et PL1 associés à la mémoire RLDQ sont décorrélés (c'est-



₩ **21**

	à-dire commandés de façon indépendante) par rapport aux pointeurs PE2
55 · · .	et:PL2 associés à la mémoire DIDQ. 11 1010
i	Outre ces deux mémoires de type FIFO, le processeur comporte
•	des premiers moyens de commande MCTL1, par exemple incorporés au
76 5	sein de l'unité DU. Ces premiers moyens de commande vont permettre,
low-syst	comme on va le voir plus en détail ci-après, de délivrer dans certains cas
	les instructions opératives DUOpx beaucoup plus rapidement aux étages
1. , <u>s</u> 8	d'exécution pipelinés de l'unité DU. Mans la sont de la
A1 + 1	Plus précisément, ces premiers moyens de commande MCTL1
10	vont extraire de la mémoire DIDQ une instruction opérative DUOpx ayant
30 . (atteinte la tête LETG4 de cette mémoire DIDQ, si aucune instruction de
15 1 1 1 1 1 K	chargement LDRx temporellement plus ancienne destinée à modifier la
en Am co	valeur du registre Rx associé à cette instruction opérative DUOpx, n'est
Part milan	présente dans la mémoire RLDQ à autait de fact de la contract de la seconda de la seco
15 %	Et, ces premiers moyens de commande MCTL1 vont len présence
Paring L	d'une "telle "instruction de chargement : LDRx, temporellement plus
i to the just	ancienne stockée dans la première mémoire RLDQ, extraire l'instruction
ia nulia.	opérative DUOpx des que l'instruction de chargement LDRx a été extraite
. D	de la mémoire REDQII ento nom sont sont in la
- 20	16 100 Dans un mode de réalisation, tel que celui illustré sur la figure 3,
1150	les premiers moyens de commande MCTL1 comportent un premier
3 W _E (10)	compteur de lecture RDCTR1, circulaire, incrémenté à chaque fois qu'une
'	instruction, quelle qu'elle soit, est extraite de la deuxième mémoire
20.1 - 2-3 . 1	PDIDQ: Security in the LATE of the end of the region of the filter of
***25° **	Les moyens MCTL1 comportent par ailleurs un premier
fit i	compteur d'écriture WRCTR1, circulaire, incrémenté à chaque fois qu'une
e la companya di santa di san	instruction, quelle qu'elle soit, est stockée dans la deuxième mémoire
er a a company	DIDQ. A first the sense of the sense of the sections of the sense of t
2 5 5 1 C	de ablance Dans l'exemples décrit ici, les deux compteurs ont une taille
· 30÷	identique. Cette taille identique est un nombre de bits nécessaire à coder
$\mathcal{L}(1) = 2(1)$	en binaire la profondeur de la deuxième mémoire DIDQ. Dans l'exemple
3 C.S	illustré, puisque la mémoire DIDQ a une profondeur de quatre, les
ata ata a garaji	compteurs sont des compteurs sur deux bits, c'est-à-dire que la valeur
Post of the	courante WRVL1 du premier compteur d'écriture WRCTR1 et la valeur
35 Page	courante RDVL1 du premier compteur de lecture RDCTR1 sont des mots

de deux bits. Bien entendu la profondeur de la FIFO peut être plus importante.

Par ailleurs, à chaque premier compteur est associé un bit de dépassement (WROVFE1) pour le premier compteur d'écriture et valeur à chaque fois que le premier compteur correspondant revient à sa valeur à chaque fois que le premier compteur correspondant revient à sa valeur ainitiale. En d'autrès termes, au rythme des fenêtres circulaires successives de comptage, le bit de dépassement prend successivement les valeurs 0 et 1.

10 mont de Outre le premier compteur d'écriture et le premier compteur de le compandé MCTL1 comportent un ensemble de premiers registres élémentaires RT0-RT15, respectivement associés à l'ensemble des registres R0-R15. Ainsi, le registre élémentaire RTx est associé au registre Rx portant le numéro x.

sols acre de la composition de

Les premiers moyens de commande MCTL1 comportent, par sailleurs, quatre blocs de commande MC00-MC13 dont on va maintenant décrire plus en détail la fonctionnalité en se référant aux figures 4 et suivantes.

Le premier bloc de commande MC00 est apte, à chaque fois qu'une instruction de chargement LDRx concernant le registre Rx, est stockée dans la première mémoire RLDQ (étape 400, figure 4), à stocker la valeur courante WRVL1 du premier compteur d'écriture WRCTR1 dans le champ principal LCHx du premier registre élémentaire RTx associé au registre Rx. Par ailleurs, le bit LBBx (deuxième champ auxiliaire) du premier registre élémentaire RTx, initialement à 0, prend la valeur 1 pour indiquer qu'une instruction de chargement LDRx a été effectivement stockée dans la mémoire RLDQ (étape 410).

Enfin, la valeur courante du bit de dépassement WROVFL1 du les les premier compteur décriture est stockée dans le premier champ auxiliaire les 35 avec (un bit) LBAx du premier registre élémentaire RTx/ 100 ABA

23 . 5

The same ways specified fait, la valeur stockée dans, le champ principal LCHx du premier registre élémentaire RTx, dont la taille en bit est égale à la profondeur de la première mémoire (ici deux bits), représente la position "symbolique" de la dernière instruction de chargement LDRx écrite dans 1 la mémoire RLDQ. Le premier champ auxiliaire LBAx, destiné à recevoir la valeur courante du bit de dépassement du premier compteur d'écriture, permet de prendre en compte et de gérer les positions éventuelles respectives des pointeurs dans des fenêtres circulaires de comptage différentes. File of there

Dans l'étape 420, on va maintenant déterminer si l'instruction de chargement LDRx est toujours présente dans la mémoire RLDQ, ou bien si me de le le a quitté cette mémoire. Ceci est effectué par le deuxième bloc de commande MC11 et va maintenant être décrit plusien détail en se référant plus particulièrement à la figure 5 annunt de durant de

10

 $\sim 15 c$

Basiquement, le deuxième bloc de commande MC11 comporte des premiers moyens de comparaison MC100 qui vont comparer le contenu du champ principal LCHx du premier registre élémentaire RTx avec la valeur courante RDVL1 du premier compteur de lecture. Cette comparaison va permettre de déterminer si l'instruction LDRx est toujours 20 présente ou a quitté la mémoire RLDQ

Ceci étant, afin de prendre en compte les effets des fenêtres circulaires de comptage, il est prévu que le deuxième bloc de commande MC11 comporte également des premiers moyens de comparaison auxiliaires, formés ici d'une première porte logique NON OU EXCLUSIF (XNOR), référencée PLO10. Cette porte logique est destinée à élaborer un premier signal logique SW10 à partir du contenu du premier champ auxiliaire LBAx et de la valeur du bit de dépassement RDOVFL1 du the lights premier compteur de lecture, and a significant de la significant de la compteur de lecture.

En d'autres termes, ce signal logique SW10 indique si le pointeur 30 : de lecture PL2 est dans la même fenêtre circulaire que la position de la dernière instruction LDRx affectant le registre Rx.

On teste alors, dans l'étape 4200, la valeur du premier signal logique SW10. Si ce signal logique est à 0, on teste, dans l'étape 4220, si la valeur du mot contenu dans le champ principal LCHx est strictement supérieure à la valeur courante RDVL1 du premier compteur de lecture. Si 35



tel est le cas, alors cela signifié que l'instruction LDRx a quitté la mémoire RLDQ (étape 4230) et on met alors le bit LBBx à 0 (étape 430, figure 4).

Si, par contre, la valeur du mot contenu dans le champ principal LCHx n'est pas strictement supérieure à la valeur courante RDVL1 du premier compteur de lecture, alors cela signifie que l'instruction de chargement EDRx est toujours présente dans la mémoire RLDQ (étape 4240). Dans ce cas, le bit LBBx est maintenu à 1.

Si, par contre, dans l'étape 4200, le signal·logique SW10 est à 1, des premiers moyens de comparaison MC100 vont tester si la valeur 10 le courante du premier compteur de lecture RDVL1 est strictement supérieure au mot contenu dans le champ principal LCHx du premier registre élémentaire RTx (étape 4210).

Si tel est le cas, cela signifie que l'instruction de chargement le constant le LDRx a quitté la mémoire RLDQ (étape 4230). Dans ce cas, le bit LBBx est mis à 0 (étape 430, figure 4).

de chargement LDRx est toujours présente dans la mémoire RLDQ.

particulièrement aux figures 6 et 7 les traitements effectués lorsqu'une 20 instruction opérative DUOPx est stockée dans le champ utile LCHU1 de l'étage d'entrée LETG1 de la mémoire DIDQ, ainsi que l'élaboration de son critère d'extraction, lorsque cette instruction opérative DUOPx a atteinte la tête de la mémoire DIDQ, c'est-à-dire lorsqu'elle est présente dans le champ utile LCHU4 de l'étage de sortie LETG4.

Afin de ne pas perturber le bon synchronisme temporel des traitements, à chaque fois qu'une instruction opérative DUOPx est stockée dans la mémoire DIDQ, et si simultanément une instruction de chargement n'est pas stockée dans la mémoire RLDQ, on stocke également dans la mémoire RLDQ une instruction non-opérative NOP. Comme cela est connu de l'homme du métier, une instruction NOP ne modifie pas le contenu des registres architecturaux du coeur de processeur.

m 350 MB R MC x OPar ailleurs, à chaque fois qu'une instruction opérative DUOPx

25

est stockée dans la mémoire DIDQ, par exemple dans le champ utile LCHU1 de l'étage LETG1, on lui associe une étiquette qui correspond au contenu du registre élémentaire RTx correspondant. 15. 15. 15. 16. 16. 16. Et, cette étiquette va o continuellement rêtre attachée à 15 d'instruction opérative DUOPx dans la mémoire DIDQ. En pratique (figure 3), l'étiquette associée à une instruction opérative DUOPx est formée dans chaque étage de la mémoire DIDQ par - un premier champ supplémentaire LDtag, - un deuxième champ supplémentaire (1 bit) AuxLD, et 10 - un troisième champ supplémentaire (1 bit également) ActLD. Lorsqu'une instruction opérative DUOPx est stockée dans l'étage de tête de la mémoire DIDQ (étape 600, figure 6), le troisième bloc de commande MC12 transfère (étape 61 figure 6) à a de la contenuida champ principal LCHx dans le premier champ supplémentaire LDtag, Te or on Alle of the day 1988 - 1988 - 1988 le contenu du premier champ auxiliaire LBAx dans le deuxième since champesupplementaire AuxLD, et, it was relieful as seven, to the w. and the Alexandra salar and the contenua dui deuxième champ, auxiliaire LBBx dans le and the same troisième champ supplémentaire ActLD. A contraine in supplémentaire de LD. A contraine in supplémentaire de la contraine internat 20 20 Marie Et, le contenu de cette étiquette va rester inchangé lors de la propagation de l'instruction DUOPx à laquelle elle est rattachée, jusqu'à ce que cette instruction atteigne la tête de la mémoire DIDQ. A ce moment-là, le quatrième bloc de commande MC13 va tester (étape 620) la présence ou l'absence d'une instruction de chargement LDRx temporellement plus ancienne dans la mémoire RLDQ. 25. Si une instruction de chargement LDRx est présente, alors le troisième bloc de commande MC12 va attendre, pour extraire l'instruction opérative de la mémoire DIDQ, que l'instruction de chargement LDRx ait to the se été extraite de la mémoire RLDQ (étape 640). 1/30 Line Black MSi, par contre, aucune instruction LDRx n'est détectée dans la mémoire RLDQ, le troisième bloc de commande MC12 va extraire immédiatement l'instruction opérative DUOPx de la tête de la mémoire of the reserve DIDQ (étape 630), and the provide serve the war to the case of the Et, c'est le quatrième bloc de commande MC13 qui va élaborer le 235. critère d'extraction de cette instruction opérative DUOPx ayant atteinte la



BUTTO I THE HOLD WAS tête de la deuxième mémoire. 21 30 100 Charles Pour déterminer si une instruction de chargement LDRx est présente dans la mémoire RLDQ; le bloc MC13 va tout d'abord tester la valeur du bit ActLD de l'étiquette attachée à l'instruction opérative 5 DUOPx (étape 6200, figure 7)? The office Since bit ActLD est égal à 0, alors cela signifie qu'aucune instruction LDRx temporellement plus ancienne que l'instruction DUOPx n'est présente dans la mémoire RLDQ (étape 6210). Dans ce cas, l'instruction opérative DUOPx peut être immédiatement extraite de la 10 10 mémoire DIDQ (étape 630, figure 6). The best will be a la be ni de problem de Si, par contre, le bit ActLD est à 1, alors il convient basiquement de comparer le contenu du premier champ supplémentaire LDtag avec la valeur courante RDVL1 du premier compteur de lecture. C'est le rôle des deuxièmes moyens de comparaison MC300. 15 15 15 16 17 16 Et, basiquement, une absence d'instruction LDRx se traduira par une valeur RDVL pustrictement supérieure au premier champ and the supplementaire LDtag to be a composed translated and Ceci étant, là encore, il convient de prendre en compte les effets salore a sides fenêtres circulaires de comptage. Discourse par a transcription de la comptage.

C'est la raison pour laquelle il est prévu que le bloc de commande MC13 comporte des premiers moyens de comparaison supplémentaires, formés ici d'une deuxième porte logique NON OU EXCLUSIF, référencée PLO30, et apte à comparer le bit AuxLD avec le bit de dépassement RDOVFL1 du premier compteur de lecture. Le résultat de cette comparaison fournit un deuxième signal logique SW30. Ce signal SW30 indique si le pointeur de lecture PL1 de la première mémoire RLDQ est dans la même fenêtre circulaire que la position de la dernière instruction de chargement LDRx, ayant potentiellement un effet sur l'instruction opérative DUOPx.

30 m man latera Si le signal SW30 est à 1, alors l'instruction opérative DUOPx pour a être transmise si la valeur RDVL1 est supérieure à LDtag (étape 20.11.5% 11.6230, figure 7). Account a la company de la compan

Dans le cas contraire, cela signifie qu'une instruction LDRx est toujours présente dans la première mémoire RDLQ (étape 6250). Et, il 35 mills convient d'attendre avant d'extraire l'instruction opérative DUOPx de la

ĞŻ,

tête de la mémoire DIDO.

Si le signal SW30 est à 0, alors on pourra extraire l'instruction opérative DUOPx si la valeur du mot LDtag est strictement supérieure à la valeur du premier compteur de lecture RDVL1 (étape 6240).

Dans le cas contraire, il conviendra d'attendre (étape 6250).

Continued to the State State

Matériellement, les différents blocs de commande MC10-MC13 peuvent être réalisés sous la forme d'un circuit intégré en utilisant des coutils de synthèse logique.

Dans le cas où une instruction opérative DUOpxy implique plus d'un registre, par exemple 2 registres Rx et Ry, le troisième bloc de commande M12 va, lorsque ladite instruction opérative est stockée dans la deuxième mémoire DIDQ, sélectionner parmi tous les premiers registres élémentaires RTx, RTy associés à tous les registres Rx, Ry impliqués dans ladite instruction opérative DUOPxy, celui correspondant à la dernière (c'est-à-dire temporellement la plus jeune) instruction de chargement modifiant l'un au moias de ces registres impliqués:

Et, c'est alors le contenu du champ principal du premier registre élémentaire sélectionné, par exemple RTx, qui va être transféré dans le premier champ supplémentaire LDTag de l'étage d'entrée de la mémoire 20 de DIDQ de supplémentaire de la mémoire de l

Matériellement, les différents blocs de commande MC00-MC13 per une peuvent être réalisés sous la forme d'un circuit intégré en utilisant des outils de synthèse logique et a commande MC00-MC13

celle de la mémoire DIDQue de la mémoire RLDQ peut être différente de celle de la mémoire DIDQue de la mémoire RLDQ peut être différente de celle de la mémoire DIDQue de la mémoire RLDQ peut être différente de celle de la mémoire DIDQue de la mémoire RLDQ peut être différente de celle de la mémoire DIDQue de la mémoire de la mémoire de la mémoire de la mémoire DIDQue de la mémoire de la mémo

effectué en réalité en parallèle simultanément pour tous les registres.

Dans le mode de réalisation illustré sur la figure 8, on suppose maintenant que le fonctionnement du processeur incorpore le principe des instructions gardées. Les instructions gardées peuvent être déstinées à des unités de traitement différentes de l'unité DU, par exemple l'unité AU ou l'unité GU. Elles peuvent être également destinées à l'unité de traitement DU. Et, parmi les instructions gardées destinées à l'unité de traitement



. (

DU, on trouve des instructions gardées de chargement dans un registre de The Control of State of State of the State of St Hara Harrier & The न्य भार केंद्र सब नहीं । अपLe moyen de mémoire de l'unité DU comporte en outre, comme and the language of the series 4 : 5 : 4 : 1 destinée à stocker des instructions de transmission et une quatrième all de l'an imémoire RCGQ destinée à stocker toutes des valeurs d'indications de tur et songarde associées aux instructions de chargement gardées, et issues du registre des indications de garde GR. and suit and la destruction har et parts an sur my L'unité DU comporte le registre des indications de garde GR. Ce 10 10 de l'registre stocke les valeurs courantes de toutes les indications de garde, qui 122 And the sont par exemple authombre de seize. We the well a Children to the nected light e collection of the Onerappelle siciliquium instruction gardée, signifie que cette restriction estruction estraffectée d'une indication de garde, prise parmi les seize and so indications de garde du registre GR, et, en fonction de la valeur de cette 15 mai indication de garde l'instruction sera ou non exécutée. files de la figure 9, pour la la figure 9, pour une de la surdécrire une mécanisme particulièrement avantageux de géstion de ces egato en e instructions gardées, selonolinvention, acidam na este e lie-16 divisée au moyen de mémoire 20 AIDQ d'une unité de traitement, par exemple l'unité AU ou l'unité GU, qui ne détient pas le registre d'indications de garde GR; cette délivrance provoque la délivrance au moyen de mémoire de l'unité de traitement DU, qui contient le registre des indications de garde, d'une instruction dite "de transmission" destinée à faire transmettre à l'unité AU ou GU la valeur de 25 l'indication de garde associée à ladite instruction gardée qui a été délivrée 10 Description in the AU out GUIS grant of the schools of the and and the state of the Par ailleurs, lorsqu'une instruction de chargement gardée est délivrée à l'unité DU; une instruction de transmission SNDGx destinée à faire transmettre à la quatrième mémoire REGQ la valeur de l'indication 19. 30 de garde associée à ladite instruction gardée, est également stockée dans テース at the colla mémoire SNDGQ. the list 持たお the アルコの by アルコのbre ここだけ The Control of Particontres toutes autres instruction gardée, par exemple une manda instruction opérative gardée, délivrée à l'unité DU, est stockée dans la

mémoire DIDQ et ne donne pas lieu à la délivrance d'une instruction de

Broy35 to Entransmission SNDGx. But the treatment to be seen and

29 38

10

13000 250

3: 12:27

25

35

proposition proposite Sur la figure 9, la référence SNDGx désigne une telle instruction de transmission, et x désigne le numéro de l'indication de garde Gx associée à l'instruction gardée qui a été délivrée à l'une des unités AU ou GU, ou bien associée à une instruction de chargement gardée qui peut être celle référencée LDRx (impliquant le registre Rx), ou bien référencée H. A. B. LDRy: (impliquant un registre: Ry). Dans la suite du texte, à des fins de simplification, on supposera que l'indication Gx est associée le cas échéant à l'instruction LDRx. Els 190 et un la Pale able tre 1904

La troisième mémoire SNDGQ comporte plusieurs étages (ici quatre), référencés ETG1-ETG4. Chaque étage ETGi comporte un champ utile CHUi pour le stockage d'une instruction de transmission SNDGx. L'écriture et la lecture dans la troisième mémoire SNDGQ sont gérées par un pointeur d'écriture PE3 et un pointeur de lecture PL3. Une instruction de transmission SNDGx qui aurait été stockée dans l'étage ETG1, va alors se propager séquentiellement depuis l'étage d'entrée ETG1 de la mémoire jusqu'à l'étage de sortie ETG4, ou étage de tête, de la mémoire SNDGQ. was the a Bien entendu sicà un instant donné, la FIFO est partiellement remplie ou vide, une instruction pourra être stockée directement au premier étage disponible, par exemple ETG2, ou ETG3 ou bien ETG4, comme cela est 20 bien connu de l'homme du métier. Ainsi au sens de la présente invention l'étage d'entrée n'est donc pas nécéssairement l'étage ETG1.

the transfer to the Lat deuxième mémoire DIDQ est destinée à stocker toutes les autres instructions INST indestinées à l'unité DU, à l'exception des instructions de chargement LDRx, et notamment les instructions dites "modificatrices", c'est-à-dire destinées à modifier la valeur d'une indication de garde stockée dans le registre des indications de garde GR. Une instruction modificatrice destinée à modifier la valeur de l'indication de garde portant le numéro x, est référencée dans la suite du texte par that in GMIx. The Aviences

130 and the factor of Les deux mémoires SNDGQ et DIDQ ont, dans l'exemple décrit ici, la même profondeur (taille) égale à quatre. Il convient également de noter que les pointeurs PE3 et PL3 associés à la mémoire SNDGQ sont al la la décorrélés (c'est-à-dire commandés de façon indépendante) par rapport el, parter reaux pointeurs PE2 et PL2 associés à la mémoire DIDQ no la

Le processeur comporte des deuxièmes moyens de contrôle

MCTL2, par exemple incorporés au sein de l'unité DU. Ces deuxièmes moyens de contrôle vont permettre, comme on va le voir plus en détail ciaprès, de délivrer les instructions de transmission SNDGx beaucoup plus rapidement aux étages d'exécution pipelinés de l'unité DU, et par 5 4 conséquent au registre des indications de garde GR; de façon à permettre 18 1 2 1 1 la délivrance de la valeur de l'indication de garde associée à l'instruction And the second of the second o Marie de la la la la la moyen de mémoire associé à une autre unité de

when the traitement, par exemple l'unité GU, ou bien when the comme

Plus précisément, ces deuxièmes moyens de commande MCTL2 vont extraire de la mémoire SNDGQ une instruction de transmission SNDGx ayant atteinte la tête ETG4 de cette mémoire SNDGQ, si aucune instruction GMIx temporellement plus ancienne destinée à modifier la

valeur de l'indication de garde Gx associée à cette instruction de transmission SNDGx, n'est présente dans la mémoire DIDQ.

Et, ces moyens de commande MCTL2 vont, en présence d'une instruction modificatrice (GMIX) temporellement plus ancienne stockée dans la deuxième mémoire DIDQ, extraire l'instruction de

transmission SNDGx dès que l'instruction modificatrice GMIx a été and a first extraite de la mémoire DIDQ. The and a rast on actu

Dans un mode de réalisation, tel que celui illustré sur la figure 9, les deuxièmes moyens de commande MCTL2 comportent un deuxième compteur de lecture RDCTR2; circulaire, incrémenté à chaque fois qu'une instruction, quelle qu'elle soit, est extraite de la deuxième mémoire in the may **DIDO** seed, Could be red a concenies of

www. District of the moyens MCTL2 comportent para ailleurs un deuxième compteur d'écriture WRCTR2, circulaire, incrémenté à chaque fois qu'une instruction, quelle qu'elle soit, est stockée dans la deuxième mémoire PDIDQUE BUREAU DE MARCO DE LA RÉPUERTA DE LA COMPANSA DE

Dans'l'exemple décrit ici, les deux compteurs ont une taille identique. Cette taille identique est un nombre de bits nécessaire à coder and the same of th (34) (34) è l'illustré, puisque la mémoire DIDQ a une profondeur de quatre, les

35 deuxièmes compteurs sont des compteurs sur deux bits, c'est-à-dire que la GC 31

valeur courante WRVL2 du deuxième compteur d'écriture WRCTR2 et la compteur de lecture RDVL2 du deuxième compteur de lecture RDCTR2 sont entre des mots de deux bits. Bien entendu la profondeur de la FIFO peut être plus importantes 🐺 The boundary of the company of the c 3) 5) research and Par ailleurs, à chaque deuxième compteur est associé un bit de dépassement (WROVFL2 pour le compteur d'écriture et RDOVFL2 pour le compteur de lecture). Ce bit de dépassement change de valeur à chaque fois que le compteur correspondant revient à sa valeur initiale. En d'autres termes, au rythme des fenêtres circulaires successives de comptage, le bit de dépassement prend successivement les valeurs 0 et 1. 10 Section Section Outre le compteur d'écriture et le compteur de lecture, les moyens de commande MCTL2 comportent un ensemble de registres élémentaires GT0-GT15, respectivement associés à l'ensemble des . . . vai i indications de garde GQ-G15. Ainsi, le registre élémentaire GTx est at marketine 15 de la l'indication de garde Gx portant le numéro x. 2007 Chaque registre élémentaire GTx comporte un champ principal CHx, ainsi qu'un premier champ auxiliaire BAx et un deuxième champ auxiliaire: BBx., On reviendra plus en détail sur la signification et la fonction de ces champs auxiliaires qui, dans l'exemple décrit ici, sont des of 20 letter champs a unibit proproprient of the profession of the contract of Les moyens de commande MCTL2 comportent, par ailleurs, quatre blocs de commande MC0-MC3 dont on va maintenant décrire plus , it is len détail la fonctionnalité en se référant aux figures 10 et suivantes. Le cinquième bloc de commande MC0 est apte, à chaque fois qu'une instruction GMIx modifiant la valeur de l'indication de garde Gx, est stockée dans la deuxième mémoire DIDQ (étape 40, fagure 10), à stocker la valeur courante WRVL2 du compteur d'écriture WRCTR2 dans le champ principal CHx du registre élémentaire GTx associé à l'indication de garde Gx. Par ailleurs, le bit BBx (deuxième champ auxiliaire) du registre élémentaire GTx, initialement à 0, prend la valeur 1 pour indiquer qu'une instruction modificatrice GMIx a été effectivement stockée dans la hate the field mémoire DIDQ (étape 41). As supplied to the second and the and the latest of Enfin, la valeur courante du bit de dépassement WROVFL2 du compteur d'écriture est stockée dans le premier champ auxiliaire (un bit)

ni (35), z ni zaBAxudu registre élémentaire GTX. none en cue en est de la la la

En fait, la valeur stockée dans le champ principal CHx du traction de la dernière élémentaire GTx, dont la taille en bit est égale à la profondeur de la deuxième mémoire (ici deux bits), représente la position "symbolique" de la dernière instruction modificatrice GMIx écrite dans la mémoire DIDQ. Le premier champ auxiliaire BAx, destiné à recevoir la valeur courante du bit de dépassement du compteur d'écriture, permet de prendre en compte et de gérer les positions éventuelles respectives des pointeurs dans des fenêtres circulaires de comptage différentes.

Dans l'étape 420 on va maintenant déterminer si l'instruction

Dans l'étape 42, on va maintenant déterminer si l'instruction de 10 de modificatrice GMIx est toujours présente dans la mémoire DIDQ, ou bien de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant être décrit plus en détail en se référant plus particulièrement à la figure 11/10/2013 de la commande MC1 et va maintenant et la commande MC1 e

Basiquement, le sixième bloc de commande MC1 comporte des 15 marche deuxièmes moyens de comparaison MC10 qui vont comparer le contenu du service de champ principal CHx du registre élémentaire GTx avec la valeur courante RDVL2 du compteur des lectures Cettes comparaison vas permettre de 1900 site déterminer six l'instruction GMIx sess toujours présente ou a quitté la mémoire DIDQ. Mild autornaise de 1900 site de 1900 s

Ceci étant, afin de prendre en compte les effets des fenêtres circulaires de comptage, il est prévu que le sixième bloc de commande MC1 comporte également des deuxièmes moyens de comparaison auxiliaires, formés ici d'une première porte logique NON OU EXCLUSIF (XNOR), référencée PLO1. Cette porte logique est destinée à élaborer un premier signal logique SW1 à partir du contenu du premier champ auxiliaire BAx et de la valeur du bit de dépassement RDOVFL2 du compteur de lecture.

de lecture PL2 est dans la même fenêtre circulaire que la position de la dernière instruction GMIx affectant l'indication de garde Gx.

On teste alors, dans l'étape 420, la valeur du premier signal logique SW1. Si ce signal logique est à 0, on teste, dans l'étape 422, si la valeur du mot contenu dans le champ principal CHx est strictement supérieure à la valeur courante RDVI 2 du compteur de lecture. Si tel est le cas, alors cela signifie que l'instruction GMIx a quitté la mémoire DIDQ

33 ${\bf C}_{i,j}$

(étape 423) et on met alors le bit BBx à 0 (étape 43, figure 10). Si, par contre, la valeur du mot contenu dans le champ principal CHx n'est pas strictement supérieure à la valeur courante RDVL2 du compteur de lecture, alors cela signifie que l'instruction modificatrice 5 GMIx est toujours présente dans la mémoire DIDQ (étape 424). Dans ce the second property of the party of the second property of the secon 5 Si, par contre, dans l'étape 420, le signal logique SW1 est à 1, les moyens de comparaison MC10 vont tester si la valeur courante du compteur de lecture RDVL2 est strictement supérieure au mot contenu dans le champ principal CHx du registre élémentaire GTx (étape 421). Si tel est le cas, cela signifie que l'instruction modificatrice GMIx a quitté la mémoire DIDQ (étape 423). Dans ce cas, le bit BBx est mis à 0 (étape 43, figure 10) sagui et a toure a anardra con de Dans le cas contraire, cela signifie (étape 424) que l'instruction 15 , modificatrice GMIx est toujours présente dans la mémoire DIDQ. On va maintenant décrire plus en détail, enose référante plus particulièrement aux figures 12 et 13, les traitements effectués lorsqu'une instruction de transmission SNDGx est stockée dans le champ utile CHU1 de l'étage d'entrée ETG1 de la mémoire SNDGQ, ainsi que l'élaboration de son critère d'extraction, lorsque cette instruction de transmission SNDGx a atteint la tête de la mémoire SNDGQ, c'est-à-dire lorsqu'elle est présente dans le champ utile CHU4 de l'étage de sortie ETG4. Afin de ne pas perturber le bon synchronisme temporel des traitements, à chaque fois qu'une instruction de transmission SNDGx est stockée dans la mémoire SNDGQ et que l'on ne stocke pas simultanément une autre instruction dans la mémoireDIDQ, on stocke également dans la mémoire DIDQ une instruction non-opérative NOP. 15 1101 and the problem of Par ailleurs, anchaque fois qu'une instruction de transmission SNDGx est stockée dans la mémoire SNDGQ, par exemple dans le champ utile CHU1 de l'étage ETG1, on lui associe une étiquette qui correspond au contenu du registre élémentaire GTx correspondant. 11 de la la respersa d'Et, cette détiquette qu'a l'continuellement être dattachée à La la l'instruction de transmission SNDGx dans la mémoire SNDGQ. En pratique (figure 9), l'étiquette associée à une instruction de

35 agentransmission SNDGx est formée dans chaque étage de la mémoire SNDGQ

20

· £

7

÷

. 13

1

- / 4:	: 7 7	par	· • • ·	200 B	43.000	នៅខែ-១វិទេ	r_{\perp}^{*}	(07.017.113	, Ł
11 w	tir.iks	. auti	^{ar A} =run	prem	nier chai	np supplér	nentaire	Sndgtag; total	1, 1

- un deuxième champ supplémentaire (1 bit) Auxgmi, et
- Trans la character de la un troisième champ supplémentaire (1 bit également) Actgmi.
- l'étage de tête de la mémoire SNDGQ (étape 60, figure 12), le septième bloc de commande MC2 transfère (étape 61, figure 12)
- H'supplémentaire Sndgtag, hearth area to the transfer of the same
- le contenu du premier champ auxiliaire BAx dans le deuxième champ supplémentaire Auxgmi, et, 400 de la lance de la
- le contenu du deuxième champ auxiliaire BBx dans le troisième champ supplémentaire Actgmin
- Et, le contenu de cette étiquette va rester inchangé lors de la propagation de l'instruction SNDOx à laquelle est rattachée, jusqu'à de la ce que cette instruction atteigne la tête de la mémoire SNDGQ.
- Ace moment-là, le huitième-bloc de commande MC3 va tester (étape 62) la présence ou l'absence d'une instruction modificatrice GMIx temporellement plus ancienne dans la memoire DIDQ
- 20 20 Si une instruction modificatrice GMIx est présente, alors le troisième bloc de commande MC2 va attendre, pour extraire l'instruction de transmission de la mémoire SNDGQ; que l'instruction modificatrice GMIx ait été extraite de la mémoire DIDQ (étape 64).
- Electric de la Si, par contre, aucune instruction GMIx n'est détectée dans la mémoire DIDQ, le septième bloc de commande MC2 va extraire immédiatement l'instruction de transmission SNDGx de la tête de la mémoire SNDQ (étape 63).

30

- Et, c'est le huitième bloc de commande MC3 qui va élaborer le critère d'extraction de cette instruction de transmission SNDGx ayant 'atteint la tête de la première mémoire.
- Pour déterminer si une instruction modificatrice GMIx est présente dans la mémoire DIDQ, le bloc MC3 va tout d'abord tester la valeur du bit Actgmi de l'étiquette attachée à l'instruction de transmission SNDGx (étape 620, figure 13).
- instruction GMIx temporellement plus ancienne que l'instruction SNDGx

n'est présente dans la mémoire DIDQ (étape 621). Dans ce cas, l'instruction de transmission SNDGx peut être immédiatement extraite de la mémoire SNDGQ (étape 63, figure 12). Si, par contre, le bit Actgmi est à 1, alors il convient basiquement de comparer le contenu du premier champ supplémentaire Sndgtag avec la valeur courante RDVL2 du compteur de lecture. C'est le rôle des moyens da i 🕶 de comparaison MC30. (A) professor a Day abording to the market of the comparaison MC30. Et, basiquement, une absence d'instruction GMIx se traduira par une valeur RDVL2 strictement supérieure au premier 10 . supplémentaire, Sndgtag, egg, and group the action of Ceci étant, là encore, il convient de prendre en compte les effets des fenêtres circulaires de comptage. £. 4.54. C'est la raison pour laquelle il est prévu que le bloc de commande MC3 comporte des deuxièmes moyens de comparaison supplémentaires, 15 formés ici d'une deuxième porte logique NON OU EXCLUSIF, référencée RLO3, et apte à comparer le bit Auxgmi avec le bit de dépassement RDOVFL2 du compteur de lecture. Le résultat de cette comparaison fournit un deuxième signal logique SW3. Ce signal SW3 indique si le pointeur de lecture PL2 de la deuxième mémoire DIDQ est dans la même fenêtre circulaire que la position de la dernière instruction modificatrice GMIx, ayant potentiellement un effet sur l'instruction de transmission SNDGx, DOUG appoins of the second (Si le signal SW3 est à 1, alors l'instruction de transmission SNDGx pourra être transmise si la valeur RDVL est supérieure à Sndgtag Dans le cas contraire; cela signifie qu'une instruction GMIx est toujours présente dans la deuxième mémoire DIDQ (étape 625). Et, il convient d'attendre avant d'extraire l'instruction de transmission SNDGx de la tête de la mémoire SNDGQ et la contrata de la contrata de Si le signal SW3 est à 0, alors on pourra extraire l'instruction de 30 REAL TO transmission, SNDGx si la valeur, du mot Sndgtag est strictement Sanctification de le compression de la valeur du compteur de le cture RDVL (étape 624).

Matériellement, les différents blocs de commande MC0-MC3 20135 peuvent être réalisés, sous la forme d'un circuit intégré en utilisant des RC de l'approprie con la partie de la partie de l'approprie con la partie de la partie de l'approprie de l'approprie con la partie de l'approprie de l'ap

and a straight and the contraint of the

in le commoutils de synthèse logique, maid tha his

10

15

20

25

30

35

A Proposition of the American
Par ailleurs, tout ce qui vient d'être décrit pour une indication de son se se son se

Sur la figure 14, qui illustre à nouveau les quatre mémoires FIFO selon l'invention, permettant la gestion globale d'instructions selon l'invention, y compris les instructions de chargement de données mémorisées dans un registre, les instructions gardées, et en particulier les instructions de chargement gardées, on voit qu'une instruction de transmission destinée à faire transmettre la valeur de l'indication de garde associée à l'instruction de chargement qui a été stockée dans la mémoire RLDQ, va être délivrée au registre des indications de garde GR. Puis, la valeur correspondante de l'indication de garde va être stockée dans la quatrième mémoire RCGQ.

Bien entendu, comme déjà indiqué ci-avant, dans le cas d'une indication gardée qui a été délivrée à une autre unité de traitement, par exemple l'unité AU ou l'unité GU, la valeur de l'indication de garde associée à ces instructions gardées va être délivrée à cette autre unité AU ou GU.

Par ailleurs, sur la figure 14, les chiffres 1, 2 et 3 situés dans un cercle reprennent les dépendances "temporelles" des trois mémoires RLDQ, DIDQ et SNDGQ.

En d'autres termes, en présence d'une instruction modificatrice de chargement temporellement plus ancienne destinée à modifier la valeur d'au moins un registre associé à une instruction opérative, on extrait ladite instruction opérative de la deuxième mémoire DIDQ seulement après que l'instruction modificatrice de chargement a été extraite de la première mémoire RLDQ.

De même, en présence d'une instruction modificatrice temporellement plus ancienne destinée à modifier la valeur de l'indication de garde associée à une instruction de transmission, on extrait cette instruction de transmission de la troisième mémoire seulement après que l'instruction modificatrice a été extraite de la deuxième mémoire.

<u>رة</u> 37

Par ailleurs, il est bien entendu que certaines instructions de chargement peuvent être non gardées. Dans ce cas, elles sont stockées dans la mémoire RLDQ et il n'y a pas d'instructions correspondantes de transmission stockées dans la mémoire SNDGQ. De plus, dans ce cas, on ne lit pas le contenu de l'étage de sortie de la quatrième mémoire RCGQ.

ten in dan end medicine

97

:1

Ę.,

4.

17

the first of the control of the cont

Bion sonecon commendation designations of the damage is an entropy of the solution of the solu

or or one of the Anthony start and Affic agentations are and the master of the master

I at all alternostregress, problems of the notice of the notice of the common of the common of the state of t

The companies of a companies of the comp

The specification of the result of the specific specific transfer of the specific specific specific transfer of the specific spec

et les despussions le Procédé de gestion d'instructions au sein d'un processeur à architecture découplée, le processeur comportant un coeur contenant plurespectivement associées à des moyens de mémoire du type FIFO pour stocker séquentiellement les 1915 1 1 1 instructions respectives qui sont destinées aux unités correspondantes, procédé dans lequel la délivrance au coeur de processeur, d'une instruction de chargement d'une donnée mémorisée dans un registre, provoque la délivrance au moyen de mémoire d'une première unité de traitement (DU) non d'une instruction de chargement dans ledit registre et la délivrance au 10 moyen de mémoire d'une deuxième unité de traitement (AU) d'une instruction destinée à élaborer ladite donnée mémorisée, l'instruction de chargement n'étant exécutée que lorsque ladite donnée mémorisée a été délivrée Philippar ladite deuxième unité de traitement, caractérisé par le fait que le moyen de mémoire de la première unité de traitement comporte une pre-15 mière mémoire de type FIFO (RLDQ), et une deuxième mémoire de type h moss de FIFO (DIDQ) distincte de la première par le fait qu'on stocke chaque instruction de chargement (LDRx) dans la première mémoire (RLDQ) et certaines au moins des autres instructions opératives (INST) destinées à la première unité (DU) dans la deuxième mémoire (DIDQ), par le fait qu'on extrait de la deuxième mémoire (DIDQ) une instruction opérative impliquant au moins un registre (DUOPx) et ayant atteint la tête (ETG4) de cette deuxième mémoire, si aucune instruction de chargement (LDRx) temporellement plus ancienne destinée à modifier la valeur du ou des registres associés à cette instruction opérative, n'est présente dans la pre-25. 25. mière mémoire et par le fait qu'en présence d'une telle instruction modificatrice de chargement (LDRx) temporellement plus ancienne, on extrait ladite instruction opérative (DUOPx) de la deuxième mémoire (DIDQ) seulement après que l'instruction modificatrice de chargement (LDRx) a sété extraite de la première mémoire (RLDQ). Sion de la première mémoire (RLDQ). chaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une instrucgrand qu'il soit prévu de stocker simultanément dans la première mémoire(RLDQ) une instruction de chargement (LDRx); on stocke dans la

Sec. 39

première mémoire (RLDQ) une instruction non-opérative (NOP), par le fait qu'à chaque fois qu'on extrait une instruction (LDRx, NOP) de la première mémoire (RLDQ), on incrémente un premier compteur de lecture (RDCTR1), parele fait qu'à chaque fois qu'on stocke une instruction 18 (INST) dans la première mémoire (RLDQ), on incrémente un premier compteur d'écriture (WRCTR1), par le fait qu'à chaque fois qu'on stocke dans la première mémoire (RLDQ) une instruction de chargement (LDRx), en la mémorise la valeur courante (WRVL1) du premier compteur d'écriel la lor leture, et par le fait que la détermination du caractère toujours présent de cette instruction de chargement (LDRx) dans la première mémoire prend en compte le résultat de la comparaison de ladite valeur courante mémorisée du premier compteur d'écriture avec la valeur courante du premier en entre la compteur de lecture (RDVL1), authot ven ident de et est este en en 3. Procédé selon la revendication 2, caractérisé par le fait que le premier compteur d'écriture (WRCTR1) et le premier compteur de lecture (RDCTR1) ont une taille binaire identique égale à la profondeur de la première mémoire (RLDQ) par le fait qu'on associe à chaque premier compteur un bit de dépassement (WROVFL1, RDOVFL1) changeant de valeur à chaque fois que le premier compteur correspondant revient à sa valeur ini-1/20 litiale, par le fait qu'à chaque fois qu'on stocke dans la première mémoire une instruction de chargement (LRDx), on mémorise également la valeur 11 courante du bit de dépassement (WROVFL1) du premier compteur d'écriture, et par le fait que la détermination du caractère toujours présent de micette instruction de chargement (LRDx) dans la première mémoire prend 25 b également en compte le résultat de la comparaison de la valeur courante du bit de dépassement (RDOVFL) du premier compteur de lecture avec ladite valeur mémorisée du bit de dépassement du premier compteur d'écriture. 4. Procédé selon la revendication 2 ou 3, caractérisé par le fait qu'à chaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une 30 instruction opérative (DUOPx) impliquant au moins un registre (DUOPx), on lui associe une première étiquette contenant la valeur courante du premier compteur d'écriture qui a été mémorisée lorsque la dernière instruction de chargement (LRDx) modifiant l'un au moins des registres implia la la requés dans ladite instruction opérative a été stockée dans la première 21 2235 22 mémoire, et par le fait que le critère d'extraction de cette instruction opérative (DUOPx) ayant afteint la tête (ETG4) de la deuxième mémoire (DIDQ) prend en compte le résultat de la comparaison entre ladite valeur de la courante mémorisée associée à cette instruction opérative, et la valeur courante du premier compteur de lecture (RDVL1):

d'ac 500 de la 150 Procédé selon les revendications 3 et 4, caractérisé par le fait qu'à chaque fois qu'on stocke une instruction opérative dans la deuxième mémoire, on lui associe également dans sa première étiquette la valeur courante du bit de dépassement du premier compteur d'écriture qui a été mémorisée lorsque la dernière instruction de chargement (LRDx) modifiant l'un au moins des registres impliqués dans ladite instruction opérative a été stockée dans la première mémoire, et par le fait que le critère d'extraction de reette instruction opérative ayant affeint la tête de la deuxième mémoire prend'également en compte le résultat de la comparaison entre cette valeur courante mémorisée associée à cette instruction poérative et la valeur courante du bit de dépassement (RDOVFL1) du president prime compteur de lecture.

-1100 100 FV (1106) 10 60 Procédé selon l'une des revendications précédentes, caractéannous par le fait que le moyen de mémoire de la première unité comporte une troisième mémoire de type FIFO (SNDGQ), distincte de la première et de la deuxième mémoires, et une quatrième mémoire de type FIFO (RCGQ), distincte des trois premières, par le fait que la première unité (DU) --contient un registre dindications de garde (RG), par le fait que la délivrance d'une instruction gardée au moyen de mémoire (AIDQ) d'une autre unité de traitement différente de la première (AU ou GU), ou la 25 délivrance d'une instruction de chargement gardée à la première unité, proyoque la délivrance à la première unité de traitement (DU) et son stocto made la kage dans la troisième mémoire (SNDGQ), d'une instruction de transmission (SNDGx) destinée à faire transmettre à ladite autre unité (AU ou GU) ou à ladite quatrième mémoire (RCGQ), respectivement, la valeur de at judy 3. 30 4. l'indication de garde (Gx) associée à ladite instruction gardée ou à ladite instruction de chargement gardée, respectivement, par le fait qu'on extrait F 4 151 de la troisième mémoire (SNDGQ) une instruction de transmission (SNDGx), ayant vatteint la tête (ETG4), de cette troisième mémoire si aucune instruction modificatrice (GMIx) temporellement plus ancienne destinée à modifier la valeur de l'indication de garde (Gx) associée à cette

.41

instruction de transmission (SNDGx), n'est présente dans la deuxième represent affamémoire (DIDQ), et par le fait qu'en présence d'une telle instruction modificatrice (GMIx) temporellement plus ancienne, on extrait l'instruction de transmission (SNDGx) de la troisième mémoire (SNDGQ) 11/2 5 se seulement après que l'instruction modificatrice (GMIx) a été extraite de la deuxième mémoire(DIDQ), seu como a raplap a presenta de la fin fila-Procédé selon la revendication 6, caractérisé par le fait qu'à chaque fois qu'on extrait une instruction (INST) de la deuxième mémoire (DIDQ), on incrémente un deuxième compteur de lecture (RDCTR2), par le fait qu'à chaque fois qu'on stocke une instruction (INST) dans la deuxième mémoire (DIDQ), on incrémente un deuxième compteur d'écriture (WRCTR2), par le fait qu'àichaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une instruction (GMIx) modifiant la valeur d'une indicawith a part tion de garde (Gx), non temémorise la valeur (courante (WRVL2) du 15 deuxième compteur d'écriture, et par le fait que la détermination du caractère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire prend en compte la comparaison de ladite valeur courante mémorisée du deuxième compteur d'écriture avec la valeur courante that and du deuxième compteur de l'ecture (RDVL2). Actual de l'ecture 20 10 10 10 10 10 10 18 Procédé selon la revendication 7, caractérisé par le fait que le deuxième compteur d'écriture (WRETR2) et le deuxième compteur de lecture (RDCTR2) ont une taille binaire identique égale à la profondeur de la deuxième mémoire (DIDQ), par le fait qu'on associe à chaque deuxième compteur un bit de dépassement (WROVFL2, RDOVFL2) changeant de 25 25 valeur à chaque fois que le deuxième compteur correspondant revient à sa valeur initiale, par le fait qu'à chaque fois qu'on stocke dans la deuxième mémoire une instruction (GMIx) modifiant la valeur d'une indication de garde, on mémorise également la valeur courante du bit de dépassement

ń

valeur a chaque fois qu'à chaque fois qu'on stocke dans la deuxième mémoire une instruction (GMIx) modifiant la valeur d'une indication de garde, on mémorise également la valeur courante du bit de dépassement (WROVFL2) du deuxième compteur d'écriture, et par le fait que la détermination du caractère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire prend également en compte la comparaison de la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture avec ladite valeur mémorisée du bit de dépassement du deuxième compteur d'écriture.

qu'à chaque fois qu'on stocke une instruction de transmission (SNDGx) dans la troisième mémoire (SNDGQ), on lui associe une étiquette contenant la valeur courante du deuxième compteur d'écriture qui a été mémorisée lorsque la dernière instruction (GMIx) modifiant l'indication de garde (Gx) associée à ladite instruction de transmission a été stockée dans la deuxième mémoire, et par le fait que le critère d'extraction de cette instruction de transmission (SNDGx) ayant atteint la tête (ETG4) de la troisième mémoire (SNDGQ) prend en compte le résultat de la comparaison entre ladite valeur courante mémorisée associée à cette de la lation de transmission, et la valeur courante du deuxième compteur de lecture (RDVL2).

qu'à chaque fois qu'on stocke une instruction de transmission dans la troisième mémoire, on lui associe également dans son étiquette la valeur coulieur 15 de rante du bit de dépassement du deuxième compteur d'écriture qui a été
mémorisée lorsque la dernière instruction (GMIx) modifiant l'indication
le par le garde associée à ladite instruction de transmission a été stockée dans la
deuxième mémoire, et par le fait que le critère d'extraction de cette
instruction de transmission ayant atteint la tête de la troisième mémoire
prend également en compte le résultat de la comparaison entre cette valeur
courante mémorisée associée à cette instruction de transmission et la
valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur

contenant plusieurs unités de traitement (DU, AU, GU) respectivement l'associées à des moyens de mémoire du type FIFO pour stocker séquentiellement les instructions respectives qui sont destinées aux unités correspondantes, et une unité centrale (CU) apte en réponse à une instruction de chargement d'une donnée mémorisée dans un registre, à délivrer au moyen de mémoire d'une première unité de traitement (DU), une instruction de chargement dans ledit registre, et à délivrer au moyen de mémoire d'une deuxième unité de traitement (AU) une instruction destinée à élaborer ladite donnée mémorisée, l'instruction de chargement n'étant exécutée que lorsque ladite donnée mémorisée a été délivrée par ladite deuxième unité de traitement, caractérisé par le fait que le moyen de mémoire de la pre-

<u>:</u>u 4:

mière unité comporte une première mémoire de type FIFO (RLDQ), et une deuxième mémoire de type FIFO (DIDQ) distincte de la première, et par le ment to the fait queile processeur comportes rest on the second arrangement des moyens d'aiguillage (DISP) aptes à stocker chaque instruction de chargement (LDRx) dans la première mémoire (RLDQ) et certaines au moins des autres instructions opératives (INST) destinées à la première unité (DU) dans la deuxième mémoire, et ampuzza Market and the des premiers moyens de commande (MCTL1) aptes partire de la deuxième mémoire (DIDQ) une instruction opé-10 la rative impliquant au moins un registre (DUOPx) et ayant atteint la tête (ETG4) de cette deuxième mémoire, si aucune instruction de chargement (LDRx) temporellement plus ancienne destinée à modifier la valeur du ou des registres associés à cette instruction opérative, n'est présente dans la - was the première mémoire (DIDQ) set monais est par entablèment e em 15 man la la présence d'une telle instruction modificatrice de chargement (LDRx) temporellement plus ancienne, à extraire ladite instruction opérative (DUOPx) de la deuxième mémoire (SNDGQ) seulement après que l'instruction modificatrice de chargement (LDRx) a été extraite de la preme control mière mémoire (RLDQ) atsonaire notate and to the contraction 20, 11, 12. Processeur selon la revendication 11, caractérisé par le fait que les premiers moyens de commande (MCTL1) comportent compteur de lecture (RDCTR1) incrémenté à chaque fois qu'une instruction est extraite de la première mémoire (RLDQ), un premier compteur d'écriture (WRCTR1) incrémenté à chaque 25 y fois qu'une instruction est stockée dans la première mémoire (RLDQ), A ST. B. Car. Sect. Co. 1. nun ensemble de premiers registres élémentaires (RT0-RT15) respectivement associés à l'ensemble des registres (R0-R15) capables un premier bloc de commande (MC00) apte, à chaque fois qu'une instruction de chargement (LDRx) dans un registre (Rx) est stockée dans se la première mémoire (RLDQ), à stocker la valeur courante (WRVL1) du premier compteur d'écriture dans un champ principal (LCHx) du premier registre élémentaire (RTx) associé, à ce registre (Rx), un en proposition de la commande (MC11) apte, à déterminer le 35 caractère toujours présent de cette instruction de chargement (EDRx)

dans la première mémoire (RLDQ), et comportant des premiers moyens de comparaison (MC100) aptes à comparer le contenu du champ principal (LCHx) du premier registre élémentaire (RTx), avec la valeur de lecture.

(925 Chit and 10 And 13. Processeur selon la revendication 12, caractérisé par le fait que le premier compteur d'écriture et le premier compteur de lecture ont une taille binaire identique égale à la profondeur de la première mémoire (RLDQ), par le fait qu'à chaque premier compteur est associé un bit de dépassement (WROVFL1, RDOVFL1) changeant de valeur à chaque fois i 10 a que le premier compteur correspondant revient à sa valeur initiale, par le fait que chaque premier registre élémentaire (RTx) comporte en outre un champ auxiliaire à un bit (LBAx), par le fait que le premier bloc de commande (MC00) est apte, à chaque fois qu'une instruction de chargement *** (LDRx) dans un registre (Rx) est stockée dans la première mémoire 15 (RDDQ), à stocker également la valeur courante du bit de dépassement (WROVFL1) du prémier compteur d'écriture dans le champ auxiliaire (LBAx) du premier registre élémentaire correspondant (RTx), et par le fait que le deuxième bloc de commande (MC11) comporte des premiers moyens de comparaison auxiliaires (PLO10) aptes à comparer la valeur 2011/20 courante du bit de dépassement (RDOVFL1) du premier compteur de lecture avec le contenu du champ auxiliaire (LBAx).

25 15. Processeur selon l'une des revendications 12 à 14, caractérisé par le fait que chaque étage (LETGi) de la deuxième mémoire (DIDQ) comporte un champ utile (LCHUi) pour le stockage d'une instruction opérative (DUOPx) impliquant au moins un registre(Rx) ou bien pour le stockage d'une instruction non-opérative (NOP), et un premier champ supplémentaire (LDtag), par le fait que les moyens de commande (MCTL1) comportent

un troisième bloc de commande (MC12) apte, à chaque fois qu'une instruction opérative (DUOPx) impliquant au moins un registre(Rx) est stockée dans le champ utile (LCHU1) de l'étage d'entrée de la deuxième mémoire, à sélectionner parmi tous les premiers registres élé-

 $\therefore 10_{\odot}$

mentaires associés à tous les registres impliqués dans ladite instruction popérative, celui correspondant la la dernière instruction de chargement(LDRx) modifiant l'un au moins de ces registres impliqués, et à transférer le contenu du champ principal (LCHx) du premier registre élémentaire sélectionné (RTx), dans le premier champ supplémentaire (LDtag) actions de l'étage d'entrée de la deuxième mémoire (DIDQ), et en partieur

un quatrième bloc de commande (MC13), apte à élaborer le critère d'extraction de cette instruction opérative (DUOPx) ayant atteint l'étage de tête (LETG4) de la deuxième mémoire (DIDQ), et comportant des premiers moyens de comparaison (MC300) aptes à comparer le contenu dudit premier champ supplémentaire (LDtag) de l'étage de tête avec la valeur courante (RDVL1) du premier compteur de lecture.

16. Processeur selon la revendication 15 prise en combinaison cavec la revendication 13 ou 14, caractérisé par le fait que chaque étage de 15 la deuxième mémoire comporte en outre un deuxième champ supplémentaire (AuxLD), par le fait que le troisième bloc de commande (MC12) est apte, à chaque fois qu'une, instruction opérative est stockée dans le champ utile (LCHU1) de l'étage d'entrée de la deuxième mémoire, à transférer le contenu du champ auxiliaire (LBAx) du premier registre élémentaire sélectionné (RTx), dans le deuxième champ supplémentaire (AuxLD) de l'étage d'entrée de la deuxième mémoire, et par le fait que le quatrième bloc de commande (MC13) comportent des premiers moyens de comparaison supplémentaires (PLO30) aptes à comparer le contenu du deuxième champ supplémentaire (AuxLD) avec la valeur courante du bit de dépasse-25 ment (RDOVFL1) du premier compteur de lecture.

Processeur selon la revendication 16, caractérisé par le fait que les premiers moyens de comparaison supplémentaires comportent une porte logique NON OU EXCLUSIF (PLO30).

- 11 des revendications 11 à 17, caracté-30, risé par le fait que le moyen de mémoire de la première unité (DU) comporte une troisième mémoire de type FIFO (SNDGQ), distincte de la première et de la deuxième mémoires, et une quatrième mémoire de type FIFO (RCGQ), distincte des trois premières, par le fait que la première unité (DU) contient un registre d'indications de garde (GR), par le fait que 35 and the l'unité centrale (CU) est apteune in the la conformité de la co

d'une autre unité de traitement (GU) différente de la première, ou une instruction de chargement gardée à la première unité de traitement (DU), et

50 de la première unité de traitenomble de ment (DU), une instruction de transmission (SNDGx) destinée à faire
nomble de transmettre à ladite autre unité (GU) ou à ladite quatrième mémoire
(RCGQ), respectivement, la valeur de l'indication de gardé (Gx) associée
à ladite instruction gardée ou à ladite instruction de chargement gardée,
respectivement,

ker schaque sinstruction de transmission (SNDGx) dans la troisème mémoire (SNDGQ), a sient a que le processeur comporté en outre des deuxièmes in 15 de moyens de commande (MCTL) aptes i remembre (SNDGQ) une instruction de transmission (SNDGQ) dans la troisème de la troisième mémoire (SNDGQ) une instruction de la transmission (SNDGX) ayant atteint la tête (ETG4) de cette troisième

de transmission (SNDGx) ayant atteint la tête (ETG4) de cette troisième en mémoire si aucune instruction modificatrice (GMIx) temporellement plus la cienne destinée à modifier la valeur de l'indication de garde associée à ma 20 may cette instruction i de transmission, bulest présente dans la deuxième mémoire (DIDQ), et a salar de commune que la commune de l'indication de la deuxième mémoire (DIDQ), et a salar de commune que la commune de l'indication de la deuxième de la commune de l'indication de la commune de l'indication de la deuxième de l'indication de l'indication de la deuxième de l'indication de l'indication de la deuxième de l'indication de l'i

temporellement plus ancienne, à extraire l'instruction de transmission de la troisième imémoire (SNDGQ) seulement après que l'instruction de 25 avec modificatrice (GMIx) a été extraite de la deuxième mémoire (DIDQ).

19. Processeur selon la revendication 18, caractérisé par le fait que les deuxièmes moyens de commande (MCTL) comportent un deuxième compteur de lecture (RDCTR2) incrémenté à cha-

que fois qu'une instruction est extraite de la deuxième mémoire, un deuxième compteur d'écriture (WRCTR2) incrémenté à chaque fois qu'une instruction est stockée dans la deuxième mémoire,

respectivement associés à l'ensemble des indications de garde (G0-G15), un cinquième bloc de commande (MC0) apte, à chaque fois qu'une instruction (GMIx) modifiant la valeur d'une indication de garde

47

(Gx) est stockée dans la deuxième mémoire, à stocker la valeur courante (WRVL2) du deuxième compteur d'écriture dans un champ principal (CHx) du deuxième registre élémentaire (GTx) associé à cette indication de garde,

or M il on tère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire, et comportant des deuxièmes moyens de comparaison (MC10) aptes à comparer le contenu du champ principal (CHx) du deuxième registre élémentaire (GTx), avec la valeur courante (RDVL2) DESTRUCTION INC. du deuxième compteur de lecture.

20. Processeur selon la revendication 19, caractérisé par le fait ornégant que le deuxième compteur d'écriture et le deuxième compteur de lecture ont une taille binaire identique égale à la profondeur de la deuxième complete mémoire (DIDQ), par le fait qu'à chaque deuxième compteur est associé un bit de dépassement (WROVFL2, RDOVFL2) changeant de valeur à chaque fois que le deuxième compteur correspondant revient à sa valeur initiale, par le fait que chaque deuxième registre élémentaire (GTx) grande comporte en outre un champ auxiliaire à un bit (BAx), par le fait que le cinquième bloc de commande (MC0) est apte, à chaque fois qu'une instruction (GMIx) modifiant lauvaleur id'une indication de garde est stockée dans la deuxième mémoire, à procker également la valeur courante du bit de dépassement (WROVFL2) du deuxième compteur standard d'écriture dans le champ auxiliaire (BAx) aduli deuxième registre grande l'entre correspondant, et par le fait que le sixième bloc de commande 25 Mr. (MC1) comporte des deuxièmes moyens de comparaison auxiliaires (PLO1) aptes à comparer la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture avec le contenu du champ But auxiliaire: (BAx). The same if the properties and the

1 4 mm

... 21. Processeur selon la revendication 20, caractérisé par le fait - 30 () que les deuxièmes moyens de comparaison auxiliaires comportent une porte logique NON OU EXCLUSIF (PLO1).

19 à 21, caractérisé par le fait que chaque étage (ETGi) de la troisième mémoire (SNDGQ) comporte un champ utile (CHUi) pour le stockage d'une instruction de 35 35 par intransmission (SNDGx), et un premier champ supplémentaire (Sndgtag), par le fait que les deuxièmes moyens de commande (MCTL) comportent un septième bloc de commande (MC2) apte, à chaque fois qu'une instruction de transmission est stockée dans le champ utile (CHU1) de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ principal (CHx) du deuxième registre élémentaire (GTx) associé à l'indication de garde correspondante (Gx), dans le premier champ supplémentaire (Sndgtag) de l'étage d'entrée de la troisième mémoire, et

un huitième bloc de commande (MC3) apte à élaborer le critère d'extraction de cette instruction de transmission ayant atteint l'étage de tête (ETG4) de la troisième mémoire, et comportant des deuxièmes moyens de comparaison (MC30) aptes à comparer le contenu dudit premier champ supplémentaire (Sndgtag) de l'étage de tête avec la valeur courante (RDVL2) du deuxième compteur de lecture.

23. Processeur selon la revendication 22 prise en combinaison avec la revendication 20 ou 21, caractérisé par le fait que chaque étage de la troisième mémoire comporte en outre un deuxième champ supplémentaire (Auxgmi), par le fait que le septième bloc de commande (MC2) est apte, à chaque fois qu'une instruction de transmission est stockée dans le champ utile (CHU1) de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ auxiliaire (BAx) du deuxième registre élémentaire (GTx) associé à l'indication de garde correspondante (Gx), dans le deuxième champ supplémentaire (Auxgmi) de l'étage d'entrée de la troisième mémoire, et par le fait que le huitième bloc de commande (MC3) comportent des deuxièmes moyens de comparaison supplémentaires (PLO3) aptes à comparer le contenu du deuxième champ supplémentaire (Auxgmi) avec la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture.

24. Processeur selon la revendication 23, caractérisé par le fait que les deuxièmes moyens de comparaison supplémentaires comportent une porte logique NON OU EXCLUSIF (PLO3).

30

5

10

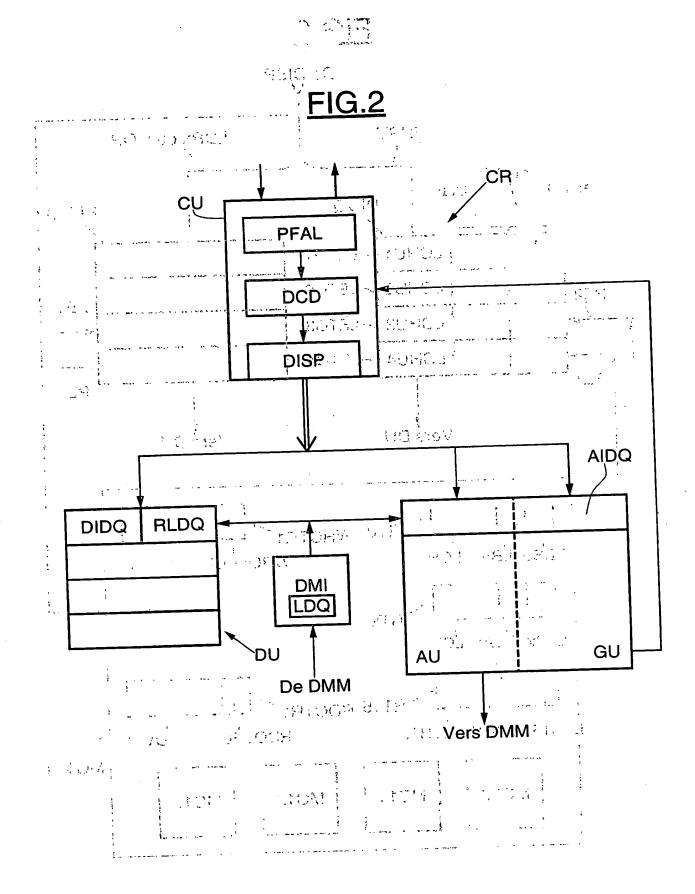
15

20

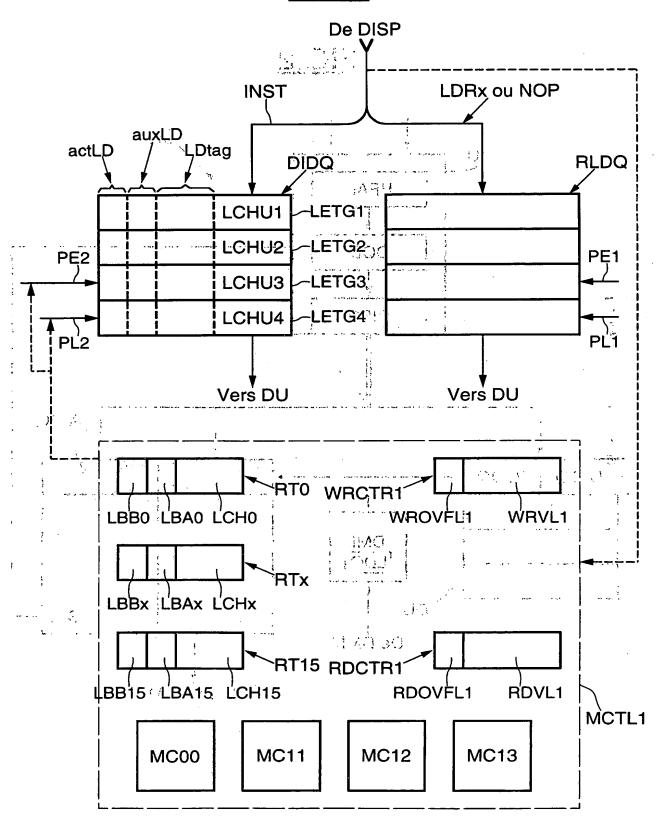
25

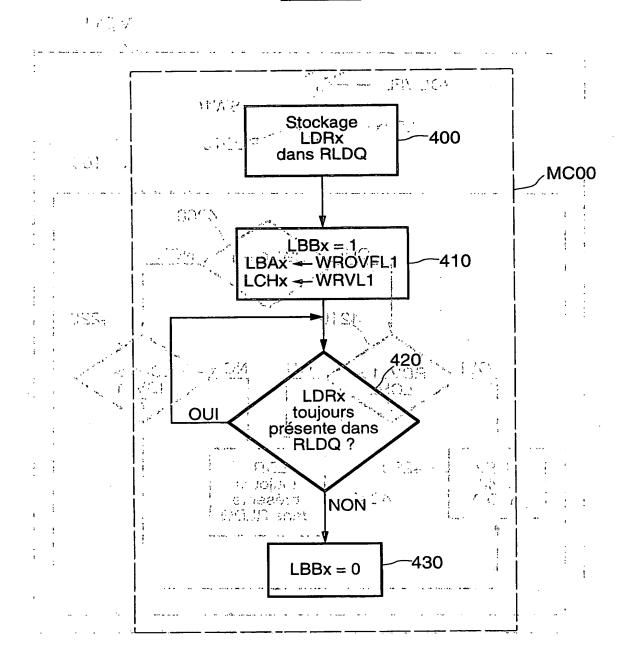
³³1/14

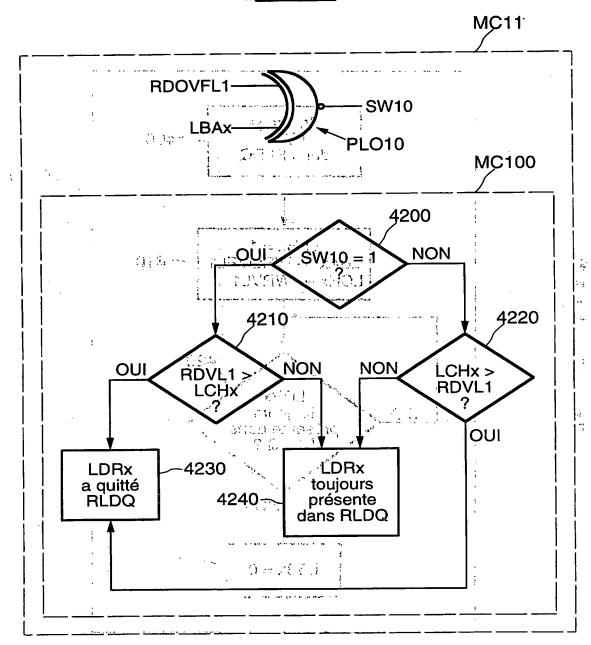
The production of the contract nous or an around a display on a first of the coordinate brooks with the area. the Confidence of the control of the positioner committee for a first term of the telephone the committee and The Hold Constraint Charles and Constraint Constraint (Constraint Constraint) ۱٩. or in the meaning one of see participation are combined by and the state of t The CENT of Statement of the artist and the Control of the Control o a sve v sit sace signification (165 za apietras) : version of the palos of cardina wealthy be an 40 Per end , N $\sim m_{\odot}$, and $m_{\odot} \sim m_{\odot}$, which were a sizely $m_{\odot} \sim 0.47$ maximus group of $m_{\odot} \sim m_{\odot}$ र्योक्षा योजस्कृ इस्कृत्येङ्क्ष्या संस्कृत 🔓 वर्षतुस्तर्भे देव नहिंसकुर २६ 👉 👉 वर्ष छन् कि ५ प्रतिक and builded a reference over this see that (LEV CES) can also be r to longer a sheriff madelinevar since the reason in it a very a read a danger of 20 or 20. I have be a to be a failed a danger of the contract of the contract of the ر څيځ ، Form to the form of the said The Contract Smith aster the terms of the contract of the cont ed in (Redigite), partici interes in la sociador discolar comencia in terminal di comencia di comencia di come ٠٠. and the following and in the improve <u>the constant and earlier</u> and care to it and a A par l'évalue de prémient de rétres la gardif de l'était à la marca aux The second of the second of the service of the second of the second of the (D) a recommendation with the with the read blooms () Direction of the . . Ľ, ot a comet a paternação as casos existenas viligade granda estados a cidados is any one or ship and with the term of the difference of the contract of the of the Language reliabling to the sychological plants of the plants. The THE STATE OF THE PROPERTY OF T the HV Suit for the was found of the about one among a system for the abo The state of the state of the first of the present of the presentation of the state the art was hours, and a <u> A CROSS</u> (B.B.C. 1907 1967 1968 ENGLISHED OF THE COUNTY Carl Silv **DMM**



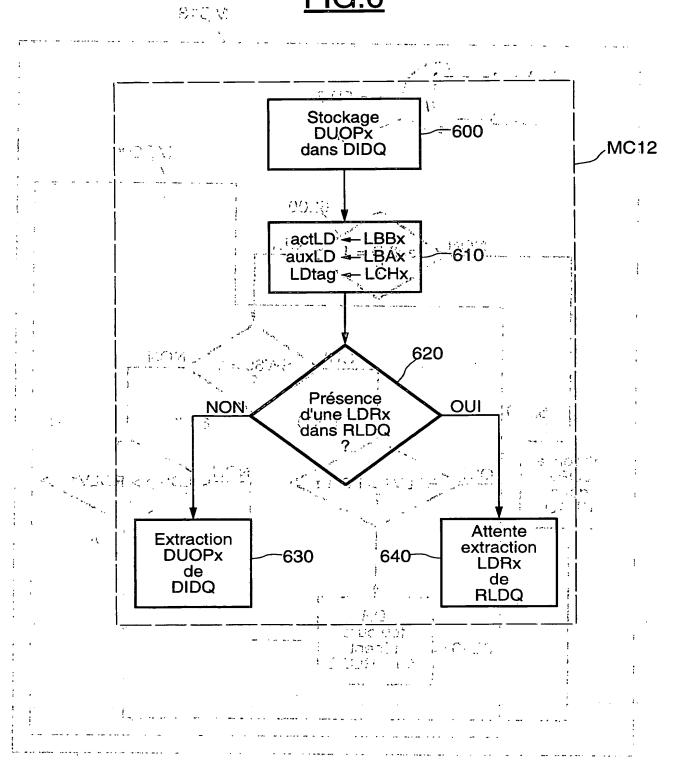
3/14

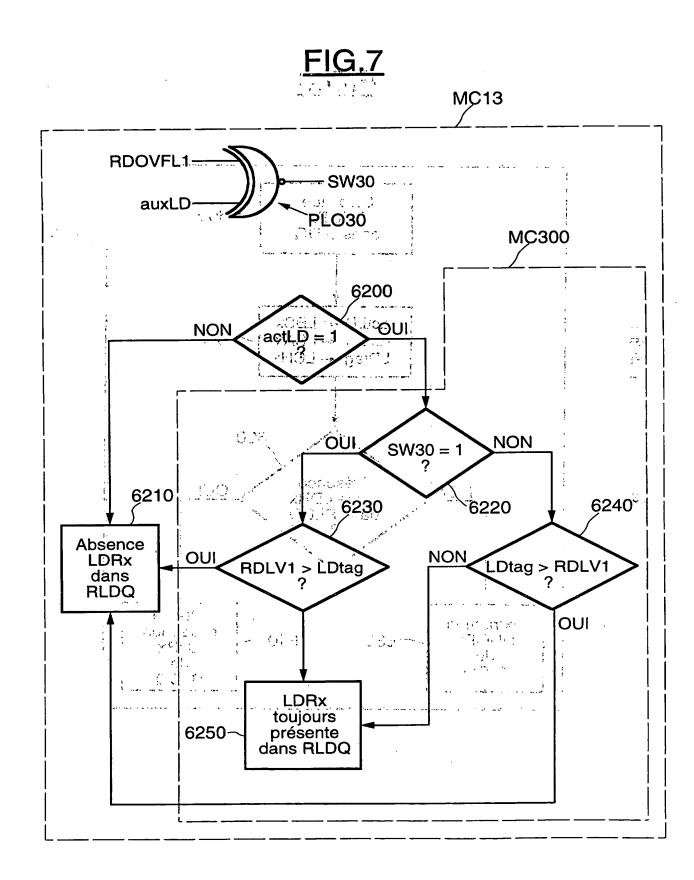


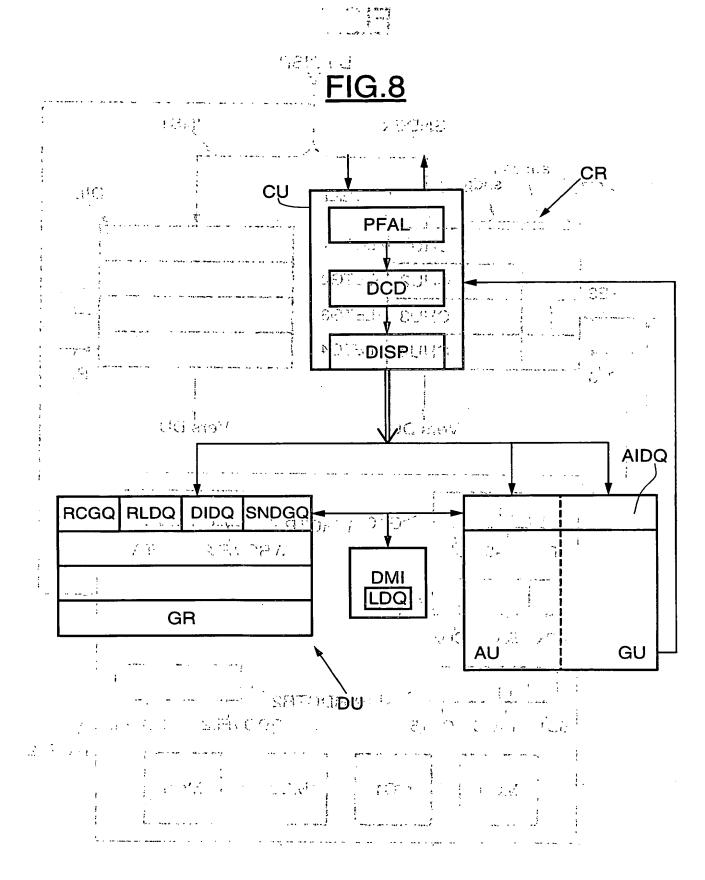












9/14

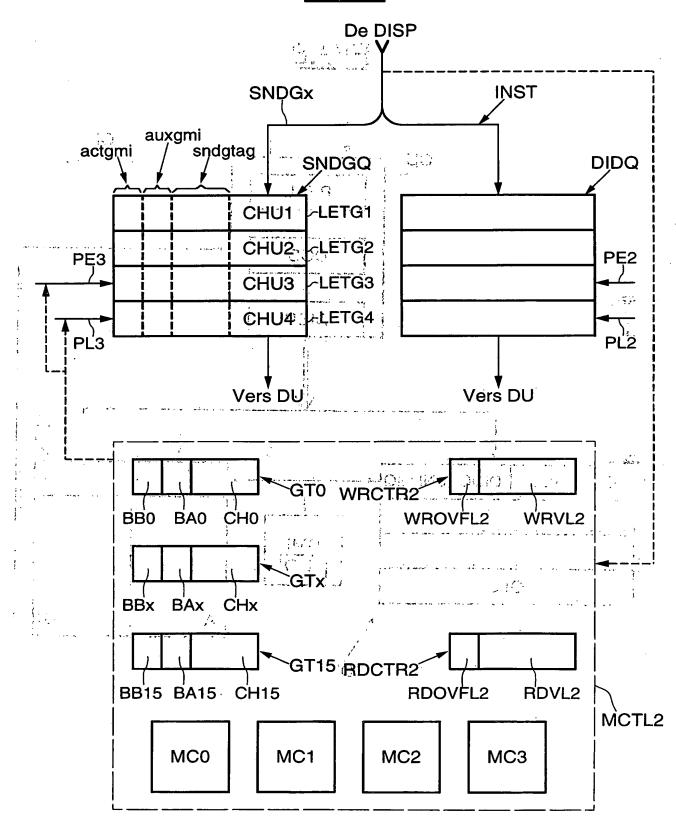
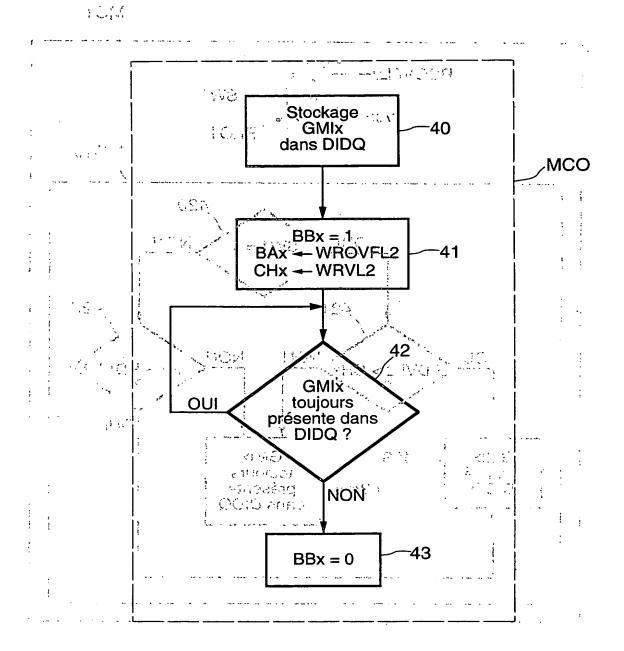
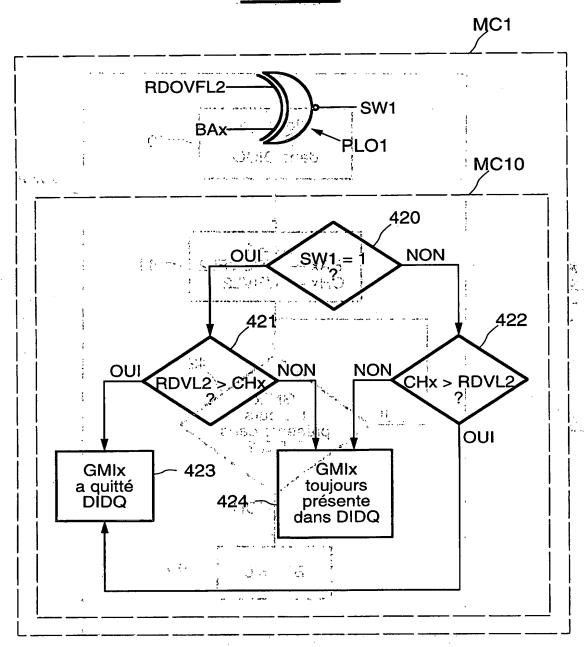
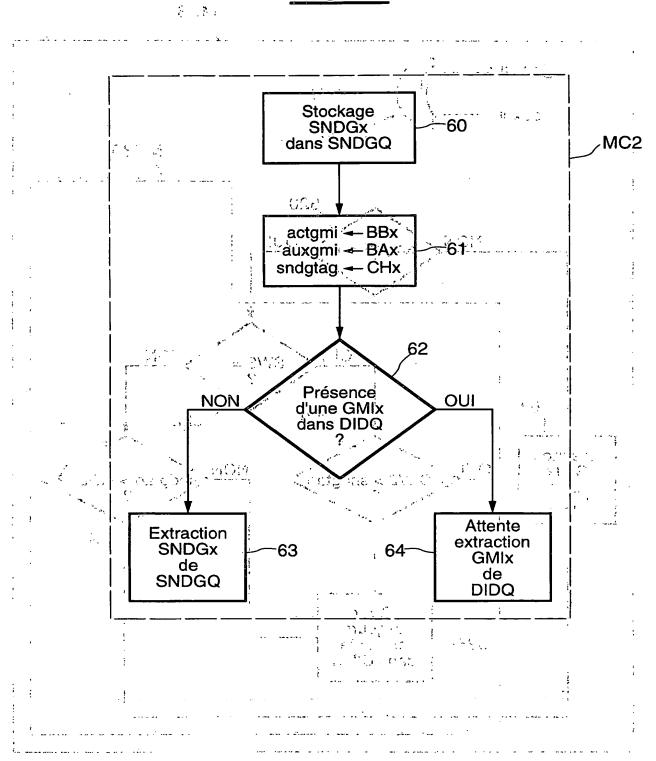


FIG.10

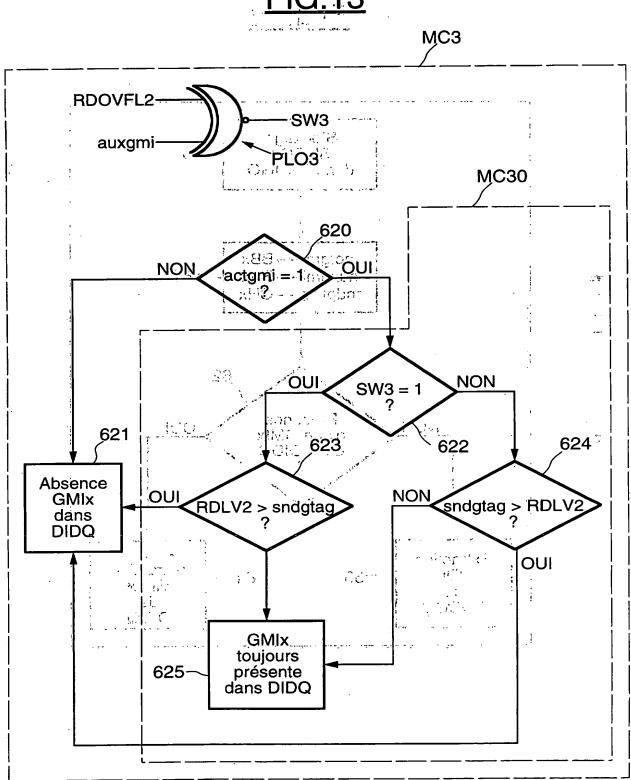
: <u>1:.1:31.</u>







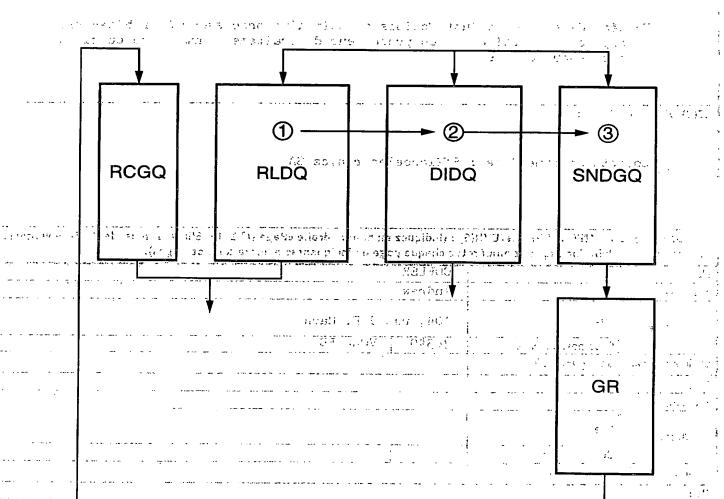




marger octave

6 N. C. B. C. าสาร หวางว่า - ยา หมัดสืบ (Site of the control
主 新风色的复数形式 网络形式线点

Catholic Ministry Confedence



(a) # 25 3 (Fig. 1) 15 7 15 5-46 B. Oak ENGLAR WELLIAM S 1.34 1.115 elitarada hal etbl qo 19:50

end, outros architect

(1) 方数,等的之间(1) 20 M 等等的(2) ner i Gameri et vira i i Nelso de nadiri i les ariol de la receptarione i i livili i mall



BREVET D'INVENTION

CERTIFICAT D'UTILITE



15.75

المرتب ع

î

Code de la propriété intellectuelle - Livre VI

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg 75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° . .1 / .1 .

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire DB 113 W /260899 Vos références pour ce dossier B 00/4116 FR (facultatif) N° D'ENREGISTREMENT NATIONAL TITRE DE L'INVENTION (200 caractères ou espaces maximum) Procédé de gestion d'instructions au sein d'un processeur à architecture découplée, en particulier un processeur de traitement numérique du signal, et processeur correspondant. LE(S) DEMANDEUR(S): Société Anonyme dite : STMicroelectronics SA DESIGNE(NT) EN TANT QU'INVENTEUR(S): (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages). COFLER Nom Prénoms -Andrew Rue 104, rue J.F. Hache Adresse VOREPPE 38340 Code postal et ville Société d'appartenance (facultatif) Nom Prénoms Rue Adresse Code postal et ville Société d'appartenance (facultatif) Nom Prénoms Rue Adresse Code postal et ville Société d'appartenance (facultatif) DATE ET SIGNATURE(S) Paris, le 27 Février 2001 DU (DES) DEMANDEUR(S) **OU DU MANDATAIRE** (Nom t qualité du signataire) A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



THIS PAGE BLANK (USPTO)